

**PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL  
FACULDADE DE ENGENHARIA  
PROGRAMA DE PÓS-GRADUAÇÃO DE ENGENHARIA ELÉTRICA**

DARCIO PINTO PRESTES

PLATAFORMA PARA INJEÇÃO DE RUÍDO ELETROMAGNÉTICO  
CONDUZIDO EM CIRCUITOS INTEGRADOS

PORTO ALEGRE

2010

DARCIO PINTO PRESTES

PLATAFORMA PARA INJEÇÃO DE RUÍDO ELETROMAGNÉTICO  
CONDUZIDO EM CIRCUITOS INTEGRADOS

Dissertação apresentada como requisito para a obtenção do grau de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica da Faculdade de Engenharia da Pontifícia Universidade Católica do Rio Grande do Sul.

Orientador: Prof. Dr. Fabian Luis Vargas

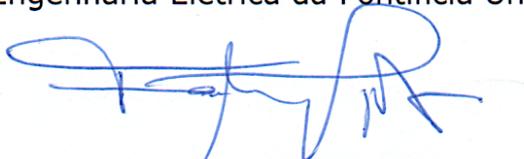
PORTO ALEGRE

2010

# **"PLATAFORMA PARA INJEÇÃO DE RUÍDO ELETROMAGNÉTICO CONDUZIDO EM CIRCUITOS INTEGRADOS"**

**DARCIO PINTO PRESTES**

Esta dissertação foi julgada para a obtenção do título de MESTRE EM ENGENHARIA e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica do Rio Grande do Sul.



Fabian Luís Vargas, Dr.  
Orientador



Rubem Dutra Ribeiro Fagundes, Dr.  
Coordenador

Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:



Fabian Luís Vargas, Dr.  
Presidente - PUCRS



Letícia Maria Bolzani Pöhls, Dr<sup>a</sup>  
PUCRS



Carlos Silva Cárdenas, Dr.  
PUCP

Para Michele.

## **AGRADECIMENTOS**

Agradeço ao Prof. Dr. Fabian Vargas pela orientação neste trabalho e pela oportunidade dada a mim, de ter feito parte do Grupo SiSC da PUCRS, um lugar dinâmico e de pessoas com grande espírito.

Aos colegas, pelo companheirismo durante o curso, e aos professores, pela inspiração.

Por último, mas não menos importante, à minha família, pelo apoio e motivação, em especial, à minha mãe, Marília. Amo vocês.

# "FINAL".doc



FINAL.doc!



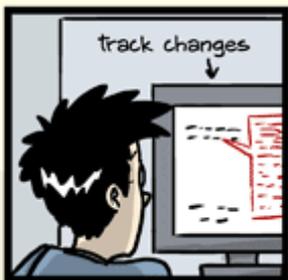
FINAL\_rev.2.doc



FINAL\_rev.6.COMMENTS.doc



FINAL\_rev.8.comments5.  
CORRECTIONS.doc



FINAL\_rev.18.comments7.  
corrections9.MORE.30.doc



FINAL\_rev.22.comments49.  
corrections.10.#@\$%WHYDID  
ICOMETOGRADSCHOOL?????.doc



JORGE CHAM © 2012

WWW.PHDCOMICS.COM

"Piled Higher and Deeper" by Jorge Cham

www.phdcomics.com

## RESUMO

O crescente número de sistemas computacionais embarcados nos mais diversos segmentos de nossa sociedade, desde simples bens de consumo até aplicações críticas, intensificou o desenvolvimento de novas metodologias de teste, de técnicas de tolerância a falhas, bem como de novos paradigmas de implementação, capazes de garantirem a confiabilidade e a robustez desejada para os mesmos. Assim, características como confiabilidade e robustez de circuitos integrados e sistemas representam dois dos mais importantes desafios no projeto dos mesmos.

Sistemas computacionais embarcados encontram-se inseridos em ambientes cada vez mais hostis devido a diferentes tipos de interferência gerados pelas mais variadas fontes. Neste contexto, a interferência eletromagnética (*Electromagnetic Interference* - EMI) representa um dos mais críticos problemas no que diz respeito a confiabilidade e robustez em circuitos integrados e sistemas, podendo comprometer ou degradar o funcionamento dos mesmos. Assim, para eliminar ou reduzir esses efeitos à níveis aceitáveis, é necessário introduzir o uso de técnicas de projeto visando à compatibilidade eletromagnética (*Electromagnetic Compatibility* - EMC).

Este trabalho propõe uma nova plataforma de injeção de falhas baseada em hardware, capaz de injetar ruído eletromagnético conduzido nas linhas de alimentação (*Power Supply Disturbances* – PSD) de circuitos integrados e sistemas de acordo com a norma IEC 61000-4-29. Desta forma, a plataforma desenvolvida serve como mecanismo de suporte ao desenvolvimento de circuitos e sistemas tolerantes ao ruído eletromagnético conduzido, representando uma alternativa viável para a avaliação da confiabilidade e robustez de sistemas embarcados.

Palavras-chave: Técnicas de Injeção de falhas, Interferência Eletromagnética, IEC 61000-4-29

## ABSTRACT

Nowadays, it is possible to observe a growing number of embedded systems in applications ranging from simple consumer to safety critical uses. To cope with the actual situation, new test methodologies, fault tolerance techniques, as well as new paradigms that are capable of guaranteeing the robustness and reliability of the systems, have been developed. Therefore, it can be said that robustness and reliability represent two of the most important challenges for the design of integrated circuits and systems.

Further, it is important to highlight that the environment hostility where embedded systems can be found has significantly increased due to different types of interference caused by several kind of sources. In this context, Electromagnetic Interference (EMI), that can interfere or degrade the proper behavior of the circuit, represents one of the principal problems when aiming for reliable and robust embedded systems. Therefore, it is necessary to introduce design techniques directly aimed to achieve Electromagnetic Compatibility (EMC), thus eliminating or reducing the effects of EMI to acceptable levels.

This work proposes a new hardware-based fault injection platform able to inject Power Supply Disturbances (PSD) into integrated circuits and systems according to the IEC 61000-4-29 normative. The developed platform can be used as a support mechanism during the development of PSD-tolerant embedded systems. Moreover, it is important to note that the new fault injection platform represents a viable and easy-to-configure alternative that can be used to evaluate the robustness and reliability of embedded systems.

Keywords: Fault Injection Techniques, Electromagnetic Interference, PSD, IEC 61000-4-29

## LISTA DE ILUSTRAÇÕES

Figura 1: Conceito de falha, erro, defeito .....	19
Figura 2: Notação e emulação do modelo de falha Stuck-at.....	22
Figura 3: Modelo de falha Transistor-Level Stuck .....	22
Figura 4: Modelos de falha bridging .....	23
Figura 5: Efeito da resistência e capacitância parasitas .....	24
Figura 6: Falha de atraso ( <i>delay faults</i> ) .....	25
Figura 7: Falha de nível lógico .....	25
Figura 8: Mecanismo de ocorrência de falhas por EMI irradiada .....	34
Figura 9: Mecanismo de ocorrência de falhas por EMI conduzida.....	35
Figura 10: Modos possíveis de acoplamento de interferência eletromagnética.....	36
Figura 11: Formas de acoplamento dentro do equipamento.....	36
Figura 12: Exemplo da integridade de um sinal de um sistema eletrônico .....	37
Figura 13: Vista geral do protótipo da plataforma .....	42
Figura 14: Vista Dianteira do protótipo da plataforma .....	42
Figura 15: Vista Traseira do protótipo da plataforma .....	42
Figura 16: Classificação da plataforma desenvolvida .....	43
Figura 17: Arquitetura de blocos da plataforma .....	45
Figura 18: Tempo de subida do sinal .....	47
Figura 19: Estrutura interna do conversor utilizado.....	47
Figura 20: Resposta do driver ao degrau para sinais de grande amplitude.....	48
Figura 21: Modos de operação da plataforma.....	49
Figura 22: Esquema de conexão da plataforma.....	50
Figura 23: Foto do painel de configuração do gerador de ruídos.....	51
Figura 24: Fluxograma de configuração do gerador .....	51
Figura 25: Tela exibida após inicialização .....	52
Figura 26: Seleção do modo de operação .....	52
Figura 27: Seleção do tipo de ruído .....	53
Figura 28: Definição de VCC.....	53
Figura 29: Definição do período de temporização.....	53
Figura 30: Definição da diminuição de tensão .....	54
Figura 31: Tela de confirmação das configurações.....	54
Figura 32: Inicialmente desativada (a), a saída é então ligada (b).....	54
Figura 33: Após a saída ser ligada (a), o ruído é finalmente ativado (b).....	55
Figura 34: Botões para alteração do período de temporização .....	56
Figura 35: Botões para alteração da amplitude da diminuição da tensão.....	56

Figura 36:	Botões que alteram a tensão nominal .....	57
Figura 37:	Botões que alteram o ciclo ativo do sinal gerado .....	57
Figura 38:	Teste com carga resistiva .....	58
Figura 39:	Forma de onda conforme norma IEC64000-4-29 .....	59
Figura 40:	Validação de queda de tensão .....	60
Figura 41:	Validação de pequena interrupção de tensão .....	60
Figura 42:	Validação de variação de tensão .....	61
Figura 43:	Diagrama de blocos da plataforma de teste .....	64
Figura 44:	Vista Inferior da plataforma de teste .....	64
Figura 45:	Vista superior da plataforma de teste .....	65
Figura 46:	Processador DLX .....	66
Figura 47:	Processador DLX assíncrono .....	67
Figura 48:	Processador ASPIDA DLX: sistema de demonstração .....	68
Figura 49:	Processador ASPIDA DLX: sistema modificado para o ensaio .....	69
Figura 50:	Setup de ensaios .....	70
Figura 51:	Sequência de procedimentos dos ensaios .....	71
Figura 52:	Gráfico comparativo das tensões de falha (redução de tensão) .....	73
Figura 53:	Arquitetura do Plasma CPU .....	75
Figura 54:	Estrutura do núcleo I-IP .....	76
Figura 55:	<i>Setup</i> de ensaios .....	79
Figura 56:	Fluxograma de realização de experimentos .....	80
Figura 57:	Página do catálogo de patentes da PUCRS .....	91
Figura 58:	Diagrama esquemático da plataforma .....	93
Figura 59:	Vista frontal da plataforma .....	94
Figura 60:	Vista traseira da plataforma .....	94
Figura 61:	PCI montada .....	95
Figura 62:	Vista interna geral .....	95
Figura 63:	Fonte de potência .....	96
Figura 64:	<i>Driver</i> de potência e dissipador de calor .....	96
Figura 65:	Painel de controle .....	97

## LISTA DE TABELAS

Tabela 1: Comparação entre os três tipos de técnicas de injeção de falhas .....	29
Tabela 2: Distúrbios elétricos mais comuns .....	33
Tabela 3: Amplitude de variação e duração para quedas de tensão .....	40
Tabela 4: Amplitude de variação e duração para interrupções de tensão .....	40
Tabela 5: Amplitude de variação e duração para variação de tensão .....	40
Tabela 6: Características implementadas no gerador .....	44
Tabela 7: Processador ASPIDA DLX: mapa de memória do sistema de demonstração .....	68
Tabela 8: Processador ASPIDA DLX: mapa de memória do sistema de ensaio .....	69
Tabela 9: Resultados do segundo estudo de caso .....	82

## LISTA DE SIGLAS

ARM – Advanced RISC Machines  
ASIC – Application Specific Integrated Circuit  
ASPIDA – Asynchronous open-source Processor IP of the DLX Architecture  
CLK – Clock  
CMOS – Complementary Metal Oxide Semiconductor  
CPU – Central Processing Unit  
DAC – Digital to Analog Converter  
DUT – Device Under Test  
EMC – Electromagnetic Compatibility  
EME – Electromagnetic Environment  
EMI – Electromagnetic Interference  
FPGA – Field Programmable Gate Array  
GCC – GNU Compiler Collection  
GND – Ground  
IEC – International Electrotechnical Commission  
IS – Instant Sort  
ISA – Industry Standard Architecture  
I/O – Input/Output  
JTAG – Joint Test Action Group  
LED – Light Emitting Diode  
MIPS – Microprocessor without Interlocked Pipeline Transistor  
MOSFET – Metal Oxide Silicon Field Effect Transistor  
NMOS – Negative Metal-Oxide Semiconductor  
PCB – Printed Circuit Board  
PMOS – Positive Metal-Oxide Semiconductor  
PSD – Power Supply Disturbance  
RAM – Random Access Memory  
RISC – Reduced Instruction Set Code  
RTOS – Real Time Operating System  
SEU – Single-Event Upset  
SI – Signal Integrity  
SiSC – Grupo de Sistemas, Sinais e Computação

SRAM – Static Random Access Memory

UART – Universal Asynchronous Receiver Transmitter

VGA – Video Graphics Adapter

VLSI – Very Large Scale Integration

VRAM – Video RAM

## SUMÁRIO

1 INTRODUÇÃO .....	16
1.1 MOTIVAÇÃO .....	16
1.2 OBJETIVOS .....	17
1.3 APRESENTAÇÃO DOS CAPÍTULOS .....	17
2 ESTADO DA ARTE – BACKGROUND .....	19
2.1 INTRODUÇÃO.....	19
2.2 MODELOS DE FALHAS.....	20
2.2.1 Falhas Exploradas.....	20
2.2.2 Classificação de Falhas .....	21
2.2.2.1 Falhas Permanentes .....	21
2.2.2.2 Falhas Transitórias .....	23
2.3 TÉCNICAS DE INJEÇÃO DE FALHAS.....	26
2.3.1 Injeção de Falhas por Simulação.....	26
2.3.2 Injeção de Falhas por Software.....	27
2.3.3 Injeção de Falhas por Hardware .....	27
3 COMPATIBILIDADE ELETROMAGNÉTICA .....	30
3.1 INTRODUÇÃO.....	30
3.2 CONCEITOS BÁSICOS.....	31
3.3 AMBIENTE ELETROMAGNÉTICO .....	32
3.4 INTERFERÊNCIA ELETROMAGNÉTICA .....	32
3.4.1 Fontes de EMI .....	33
3.4.2 EMI Conduzida e EMI Irradiada.....	34
3.4.3 Acoplamento de EMI .....	35
3.5 EFEITOS DA EMI NA ELETRÔNICA .....	36
3.6 NORMAS IEC .....	38
3.6.1 Norma 61000 .....	38
3.6.2 Norma IEC 61000-4-29.....	39
4 PLATAFORMA PROPOSTA DE INJEÇÃO DE RUÍDO ELETROMAGNÉTICO CONDUZIDO.....	41
4.1 INTRODUÇÃO.....	41
4.2 CATEGORIZAÇÃO .....	42
4.3 ESPECIFICAÇÃO.....	43
4.4 ARQUITETURA.....	45

4.4.1	Unidade de Controle .....	46
4.4.2	Conversor Digital-Analógico.....	46
4.4.3	Driver .....	47
4.4.4	Interfaces .....	48
4.4.5	Fontes de Alimentação 1 e 2.....	48
4.5	OPERAÇÃO .....	49
4.5.1	Setup de Testes.....	50
4.5.2	Descrição do Painel de Configuração.....	50
4.5.3	Fluxograma de Configuração .....	51
4.5.4	Parametrização .....	55
5	VALIDAÇÃO .....	58
5.1	CORRENTE ELÉTRICA.....	59
5.2	FORMA DE ONDA.....	59
5.2.1	Validação da Queda de Tensão ( <i>Voltage Dip</i> ).....	60
5.2.2	Validação da Interrupção de Tensão ( <i>Short Interruption</i> ) .....	60
5.2.3	Validação da Variação de Tensão ( <i>Voltage Variation</i> ).....	61
6	AVALIAÇÃO: ESTUDOS DE CASO.....	62
6.1	PLATAFORMA DE ENSAIOS .....	62
6.2	ESTUDO DE CASO 1 – PROCESSADORES SÍNCRONOS E ASSÍNCRONOS .....	65
6.2.1	Processador DLX .....	66
6.2.2	Processador DLX ASPIDA.....	66
6.2.3	Processador DLX Assíncrono .....	67
6.2.4	Controle do Experimento.....	68
6.2.5	Ensaio Realizados .....	70
6.2.6	Resultados.....	72
6.3	ESTUDO DE CASO 2 – AVALIAÇÃO DE TÉCNICA DE DETECÇÃO DE FALHAS .....	74
6.3.1	Microprocessador Plasma CPU .....	74
6.3.2	Sistema Operacional Plasma RTOS .....	75
6.3.3	RTOS-G .....	76
6.3.4	Programas Teste .....	77
6.3.5	Ensaio Realizados .....	78
6.3.6	Resultados.....	81
7	CONCLUSÃO .....	83
8	TRABALHOS FUTUROS .....	85

9 REFERÊNCIAS .....	86
10 APÊNDICES .....	90
10.1 PATENTE .....	90
10.2 PUBLICAÇÕES.....	92
10.3 DIAGRAMA ESQUEMÁTICO.....	93
10.4 FOTOGRAFIAS .....	94

## 1 INTRODUÇÃO

Nos últimos anos, o aperfeiçoamento do processo de fabricação de semicondutores e a conseqüente miniaturização de circuitos integrados levaram à disseminação de sistemas eletrônicos embarcados nas mais diversas áreas de atividade. Aplicações críticas, como médicas, aeroespaciais, industriais e científicas, por exemplo, foram extremamente beneficiadas com o desenvolvimento de equipamentos menores, mais rápidos e com menor consumo de energia. Este patamar somente foi alcançado porque, ao longo das últimas décadas, os dispositivos eletrônicos que utilizam tecnologia CMOS sofreram redução em seu tamanho, no atraso de propagação de seus transistores e em sua tensão de alimentação. Como conseqüência, houve o aumento da velocidade de operação dos circuitos, o que possibilitou que o desempenho dos microprocessadores passasse a evoluir em uma escala que dobrava a cada dois anos [2] [3].

O crescente desenvolvimento técnico, por outro lado, teve como conseqüência o aumento da complexidade do projeto de tais sistemas, despertando assim, preocupações em relação à sua confiabilidade, desempenho e segurança, principalmente no que diz respeito a sua compatibilidade eletromagnética. Tornou-se vital prevenir que sistemas críticos sofram falhas de funcionamento, porque as conseqüências destas podem ser catastróficas. Uma forma de contornar esse problema é através da utilização de técnicas de tolerância a falhas no projeto de tais sistemas. Assim, sistemas tolerantes a falhas exploram diferentes mecanismos capazes de detectar falhas e/ou erros que por sua vez precisam ser tolerados. Além disso, o projeto desses mecanismos exige um profundo conhecimento dos tipos de falhas e/ou erros que devem ser detectados, bem como dos seus efeitos no comportamento do sistema [4].

### 1.1 MOTIVAÇÃO

O estudo da confiabilidade de um sistema exige uma abordagem experimental capaz de identificar e compreender potenciais falhas e/ou erros que possam ocorrer neste sistema. Esta abordagem pode ser utilizada tanto nas fases de concepção e projeto, como também nas fases de prototipagem e operação. Por outro lado, o caminho da abordagem experimental exige compreensão da arquitetura, da

estrutura e do comportamento do sistema, especificamente da tolerância deste em relação a falhas. Desta maneira, faz-se necessário a utilização de ferramentas e instrumentos específicos para o propósito de injetar falhas, criar erros e monitorar seus efeitos no sistema [5].

Nesse contexto surge a ideia da criação de uma plataforma com a finalidade de injetar falhas físicas e que seja capaz de testar, validar e avaliar circuitos integrados e sistemas quando estes são expostos ao ruído eletromagnético conduzido.

## 1.2 OBJETIVOS

Este trabalho tem como principal objetivo apresentar uma plataforma de injeção de falhas que possa ser utilizada em circuitos integrados e que explore a injeção de ruído eletromagnético em suas linhas de alimentação. Em mais detalhes, a plataforma proposta é capaz de gerar interferência eletromagnética conduzida, conforme a norma IEC 61000-4-29, com o intuito de avaliar a robustez de sistemas e circuitos integrados quando expostos a esta interferência, bem como avaliar técnicas de tolerância a falhas desenvolvidas para detectar falhas transientes de atraso e de nível lógico.

Além de injetar falhas físicas, que se aproximam muito mais de uma situação real do que a realização de experimentos de simulação ou injeção de falhas por software, não é necessário nenhuma modificação no software que está sendo executado bem como no hardware utilizado pelos dispositivos-alvos. Isto torna conveniente e prática a utilização do gerador de ruído para a realização de tais experimentos.

## 1.3 APRESENTAÇÃO DOS CAPÍTULOS

Esta dissertação está estruturada da seguinte forma:

- Capítulo 2: introduz os conceitos básicos associados à falhas e técnicas de injeção destas, necessários dentro do escopo do trabalho;
- Capítulo 3: apresenta os conceitos pertinentes sobre Interferência Eletromagnética (EMI) e Compatibilidade Eletromagnética (EMC),

juntamente com a apresentação das principais normas técnicas IEC relacionadas com a proposta;

- Capítulo 4: apresenta a implementação prática realizada da plataforma e seu detalhamento técnico;
- Capítulo 5: ilustra o processo de validação da plataforma de injeção de falhas proposta;
- Capítulo 6: apresenta dois estudos de caso, utilizados para a avaliação da utilidade da plataforma;
- Capítulo 7: apresenta as conclusões obtidas durante e após o desenvolvimento do trabalho;
- Capítulo 8: comenta sobre possíveis trabalhos futuros, visando a expansão e desenvolvimento da plataforma.

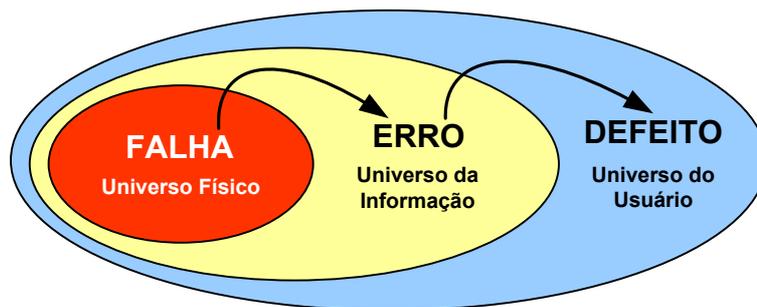
## 2 ESTADO DA ARTE – BACKGROUND

Nas próximas seções serão abordados os principais modelos de falhas propostos na literatura, enfatizando os modelos que serão explorados neste trabalho, bem como a classificação geral utilizada para as falhas que possam vir a afetar circuitos integrados e sistemas. Por fim, abordaremos as principais técnicas de injeção de falhas.

### 2.1 INTRODUÇÃO

Uma falha acontece no universo físico e leva o sistema a cometer um erro, que é percebido no universo da informação. Este erro se traduz na forma de um defeito, que é, por sua vez, o desvio da especificação original do sistema. Por exemplo, um distúrbio na linha de alimentação (falha) leva à alteração de níveis lógicos nos registradores de um microprocessador (erro) que acarreta no corrompimento de dados (defeito). A Figura 1 apresenta uma simplificação destes conceitos e foi sugerida por Dhiraj K. Pradhan [22].

Figura 1: Conceito de falha, erro, defeito



Fonte: Pradhan (1996).

Falhas podem ser modeladas gerando o que denominamos *modelo de falha*. Basicamente, um modelo de falha especifica defeitos físicos que podem ser detectados através de um procedimento de teste ou técnica de tolerância a falhas. Assim, é necessário elaborar modelos que representem com fidelidade o comportamento das possíveis falhas que podem ocorrer durante o processo de

manufatura e vida útil de circuitos integrados e sistemas. Atualmente, existem vários modelos de falhas propostos na literatura.

## 2.2 MODELOS DE FALHAS

Testes em circuitos integrados ou sistemas eletrônicos são realizados com o objetivo de detectar falhas eventualmente presentes nestes dispositivos. Assim, para a realização destes testes é necessário o emprego de modelos baseados em falhas reais, definidas a partir de mecanismos físicos e *layouts* reais. Segundo Paul H. Bardell [23], um modelo de falha especifica a série de defeitos físicos que podem ser detectados através de um procedimento de teste. Um bom modelo de falha, segundo Charles E. Stroud [24], deve ser computacionalmente eficiente em relação ao dispositivo de simulação e refletir fidedignamente o comportamento dos defeitos que podem ocorrer durante o processo de projeto e manufatura, bem como o comportamento das falhas que podem ocorrer durante a operação do sistema. Estes modelos são utilizados na emulação de falhas e defeitos durante a etapa de simulação do projeto.

Neste contexto, nos últimos anos, surgiram modelos de falhas baseados nos principais defeitos físicos dos circuitos e sistemas eletrônicos.

### 2.2.1 Falhas Exploradas

Neste trabalho serão abordados somente modelos de falhas associados a problemas que podem ocorrer durante a vida útil de circuitos integrados e sistemas. Mais precisamente, serão abordadas somente falhas associadas à ruídos nas linhas de alimentação (*Power Supply Disturbances* - PSD). De acordo com a literatura, falhas associadas à PSD podem ser classificadas em: (1) Falhas de Atraso (*delay faults*) e (2) Falhas de Níveis Lógicos, que serão descritas posteriormente. Esses tipos de falhas são ocasionados pelo efeito das resistências e capacitâncias parasitas presentes nas trilhas internas dos circuitos integrados. A magnitude e a duração do degrau tem impacto crucial na queda de tensão efetiva internamente ao chip e, por consequência, no tipo de falha que irá prevalecer [21].

## 2.2.2 Classificação de Falhas

Existem diversas classificações para falhas na literatura [27] [28] [22], entretanto estas são geralmente segregadas em falhas físicas, ou seja, aquelas de que afetam os componentes, e falhas humanas, que compreendem falhas de projeto e de interação.

Grande parte das causas de falhas são atribuídas a problemas de especificação e implementação, componentes defeituosos, imperfeições do processo de manufatura, fadiga dos componentes físicos, além de distúrbios externos como radiação, interferência eletromagnética, variações ambientais (temperatura, pressão, umidade, aceleração e vibração) e também problemas de operação. Para definir uma falha, além do agente causador consideram-se também os seguintes itens:

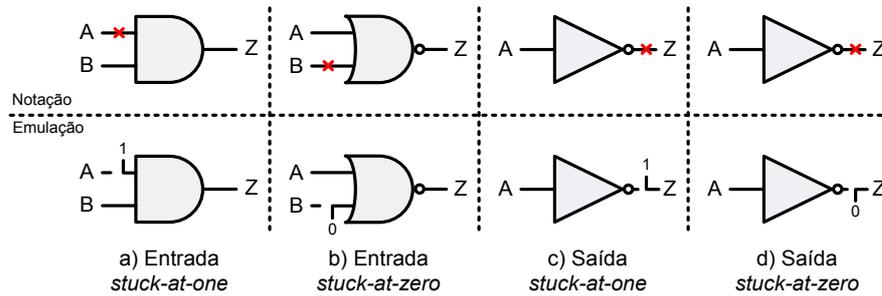
- **Natureza:** falha de hardware, falha de software, de projeto, de operação;
- **Extensão:** global ou local a um determinado módulo ou circuito;
- **Valor:** determinado ou indeterminado no tempo;
- **Duração ou Persistência:** permanente ou temporária (intermitente ou transitória);

A seguir, serão descritos alguns modelos de falhas permanentes com caráter ilustrativo e, após, modelos de falhas transitórias. Estas últimas são as falhas induzidas pela plataforma proposta.

### 2.2.2.1 Falhas Permanentes

- **Modelo de falha *Gate-Level Stuck-at*:** este modelo de falha define que as portas de entrada e/ou saída do circuito podem estar fixadas em nível lógico '0' (*stuck-at-zero*) ou em nível lógico '1' (*stuck-at-one*). Salienta-se que as falhas *stuck-at* são emuladas como se as portas de entrada e/ou saída estivessem desconectadas e fixadas ao nível lógico '0' (*stuck-at-zero*) ou ao nível lógico '1' (*stuck-at-one*) [26]. A Figura 2 apresenta as formas de notação e emulação utilizadas para falhas *stuck-at*.

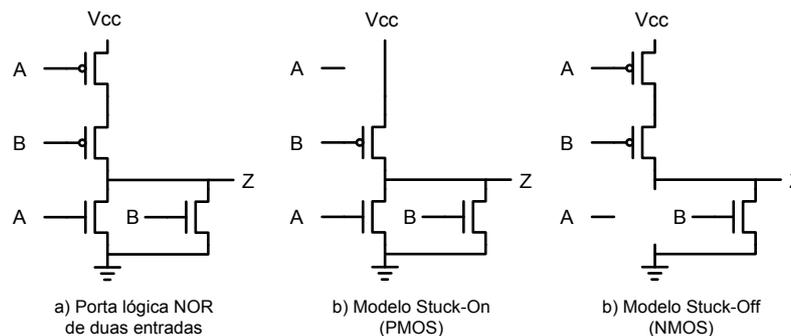
Figura 2: Notação e emulação do modelo de falha Stuck-at



Fonte: Stroud, E. C. (2002).

- Modelo de Falha *Transistor-Level Stuck*:** este modelo reflete o comportamento exato das falhas de transistores em circuitos CMOS (*Complementary Metal-Oxide-Semiconductor*) e define que qualquer transistor pode estar em *stuck-on* (s-on) ou em *stuck-off* (s-off) [25]. Salienta-se que as falhas *stuck-on* (também denominado *stuck-short*) podem ser emuladas através de um curto circuito entre o source e o *drain* do transistor e as falhas *stuck-off* (também denominado *stuck-open*) desconectando-se o transistor do circuito. De outra forma, falhas *stuck-on* podem ser emuladas desconectando o pino de gate de um determinado MOSFET (*Metal-Oxide Semiconductor Field Effect Transistor*) do circuito e conectando-o ao nível lógico '1' para transistores NMOS (*Negative Metal Oxide Semiconductor*) ou ao nível lógico '0' para transistores PMOS (*Positive Metal Oxide Semiconductor*). O raciocínio inverso desta lógica pode ser realizado para emular falhas do tipo *stuck-off*. A Figura 3 apresenta um exemplo de emulação do modelo de falha *Transistor-Level Stuck* em uma porta lógica NOR.

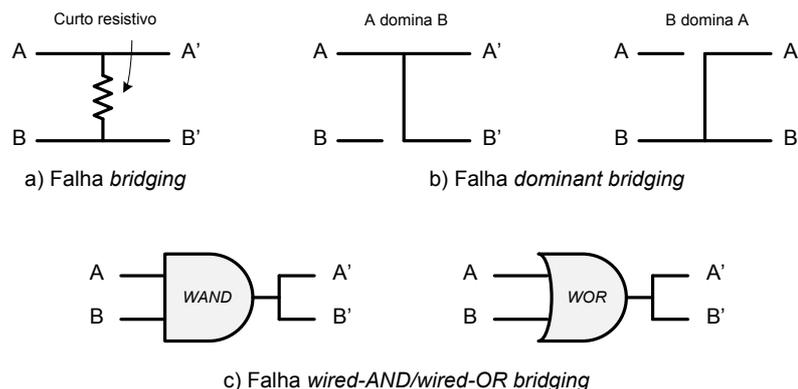
Figura 3: Modelo de falha Transistor-Level Stuck



Fonte: Stroud, E. C. (2002).

- Modelo de Falha *Bridging***: este modelo inclui outro importante conjunto de falhas, tais como rompimentos e/ou curtos entre trilhas de um determinado circuito. Basicamente, a presença deste tipo de falha é resultante da deposição excessiva (*over-etching*) e/ou reduzida (*under-etching*) de material condutor durante o processo de fabricação das trilhas de circuitos VLSI (*Very Large Scale Integration*) ou ainda em PCB (*Printed Circuit Board*) [26]. Além destes, outro modelo de falha *bridging* é definido a partir do comportamento observado em curtos circuitos ocorridos em ASIC's (*Application Specific Integrated Circuit*) e FPGA's sendo denominado *dominant-AND/OR bridging*. A Figura 4 apresenta os modelos de falha *wired-AND/wired-OR bridging* e *dominant bridging*.

Figura 4: Modelos de falha bridging



Fonte: Stroud, E. C. (2002).

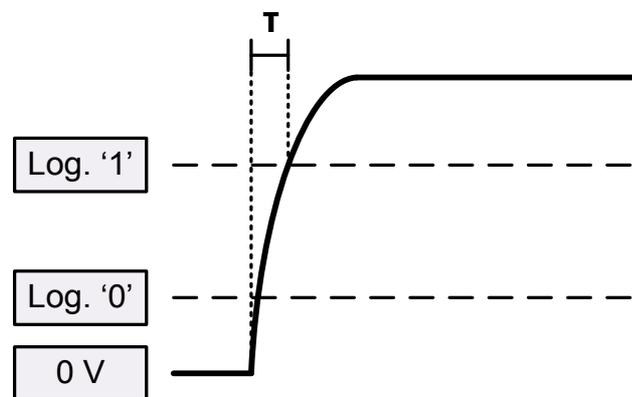
Observa-se que, embora falhas *transistor-level* e *bridging* reflitam com maior fidelidade o comportamento das falhas presentes em circuitos, sua emulação e avaliação em simuladores são computacionalmente mais complexas em relação às tradicionais falhas *stuck-at* [25].

#### 2.2.2.2 Falhas Transitórias

- Modelo de Falha *Delay***: os circuitos que apresentam falha de delay executam suas operações corretamente do ponto de vista lógico combinacional. Entretanto, estas operações lógicas não são executadas ao longo do circuito na frequência de operação nominal requerida pelo projeto

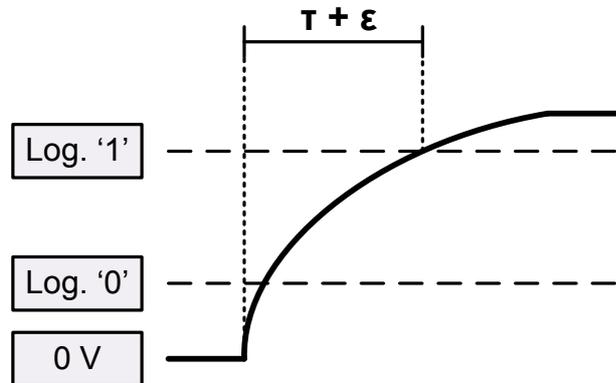
inicial, ocasionando assim um erro de *timing* proveniente dos diferentes tempos de propagação entre os sinais internos do circuito [26]. A Figura 5 mostra uma transição normal do estado de uma porta lógica. As capacitâncias e resistências parasitas fazem com que a transição reflita no interior do circuito integrado como uma curva exponencial e não como um degrau que é o sinal excitador [17].

Figura 5: Efeito da resistência e capacitância parasitas



Fonte: Tummeltshammer; Steininger (2009).

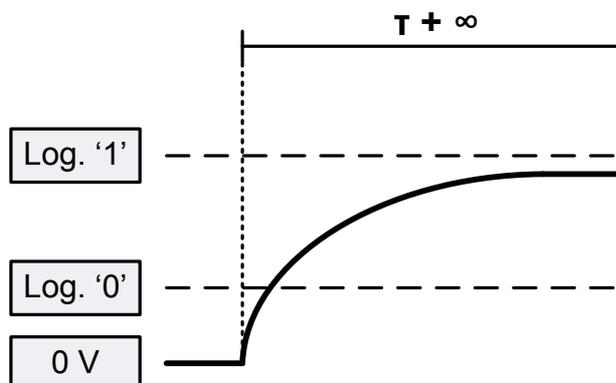
A curva é caracterizada pela constante de tempo RC e o atraso é dado pela constante  $\tau$ . Este atraso é levado em conta na análise do *timing* e na determinação da frequência máxima de *clock* do circuito. Uma diminuição na tensão de alimentação, por sua vez, tem impacto direto no valor assintótico final da curva. Esta diminuição causa um atraso  $\epsilon$  adicional, mostrado na Fig. 6. Enquanto houver margem, este atraso não causará erros, mas como ele não é considerado no *clock timing*, poderão ocorrer violações no *timing*, ou seja, falhas de atraso (*delay faults*).

Figura 6: Falha de atraso (*delay faults*)

Fonte: Tummeltshammer; Steininger (2009).

- **Modelo de Falha de Nível Lógico:** quedas de tensão de alimentação para valores abaixo do mínimo especificado para a tecnologia de fabricação considerada fazem com que o nível lógico 1 jamais seja atingido. Este tipo de falha é conhecido como Falha de Nível Lógico e ela ocorre porque a tensão de *threshold* não diminui proporcionalmente com a tensão de alimentação, mas é, sim, determinada por parâmetros específicos da tecnologia de fabricação do *chip*, como a dopagem e a espessura do óxido de *gate* ( $t_{ox}$ ) [17]. A Figura 7 exemplifica esta situação.

Figura 7: Falha de nível lógico



Fonte: Tummeltshammer; Steininger (2009).

Em resumo, se a ocorrência de um distúrbio acarretar a diminuição da tensão de alimentação do CI durante uma transição de estado, ou mudança

de nível lógico, de 0 para 1, isto poderá impedir que o sinal elétrico ultrapasse a tensão de *threshold* ( $V_{th}$ ) do *chip* e seja corretamente interpretado, gerando falhas na saída do circuito. Este problema é acentuado a medida em que diminuem as tensões de alimentação dos circuitos integrados.

## 2.3 TÉCNICAS DE INJEÇÃO DE FALHAS

Nos últimos anos, várias técnicas de injeção de falhas foram propostas com o intuito de avaliar a confiabilidade, bem como a robustez de sistemas e circuitos integrados [5] [6] [7]. Confiabilidade pode ser definida como a probabilidade de um dispositivo de operar de maneira satisfatória num dado período de tempo quando usado sob condições de operação específicas. Robustez, por sua vez, é a capacidade de um dispositivo de operar corretamente em condições que excedem sua especificação original. Assim, a escolha diante das mais diversas metodologias de injeção de falhas depende da etapa de projeto na qual o sistema ou circuito integrado encontra-se, bem como do tipo de falha e do nível de controlabilidade esperados durante o experimento. Neste contexto, as técnicas de injeção de falhas são classificadas em três diferentes categorias [5]: 1) Injeção de falhas baseada em simulação, 2) Injeção de falhas baseada em software e 3) Injeção de falhas baseada em hardware.

### 2.3.1 Injeção de Falhas por Simulação

Por não ser importante no escopo deste trabalho destacaremos apenas que a injeção de falhas baseada em simulação é utilizada durante as fases iniciais do projeto. Nesta etapa, o sistema ainda é apenas um conjunto de abstrações e os detalhes de implementação ainda não estão totalmente definidos. Por ser um processo computacional, possui baixo custo e é bastante flexível.

### 2.3.2 Injeção de Falhas por Software

Quando existe um protótipo é possível injetar, experimentalmente, falhas em nível de software, na forma de programa e/ou dados corrompidos, e de hardware, na forma de falhas elétricas [5]. No que diz respeito a injeção de falhas baseada em software, esta metodologia não requer um aparato de teste complexo e pode ser utilizada em diferentes tipos de software, tais como aplicativos e sistema operacional, por exemplo. Apesar de flexível, esta técnica não possibilita a injeção da falhas em partes inacessíveis por software e, na grande maioria das vezes, exige alteração da estrutura original do mesmo [5]. Xception [10] e DOCTOR [11] são exemplos de ferramentas de injeção de falhas por software e foram desenvolvidas pelas universidades de Coimbra e Michigan, respectivamente.

### 2.3.3 Injeção de Falhas por Hardware

A injeção de falhas baseada em hardware acontece de forma física, por meio de circuitos adicionais, e pode ser aplicada de duas formas: com e sem contato [12]. A injeção sem contato pode ser aplicada, por exemplo, através de radiação com íons pesados, que passam através da zona de depleção da pastilha semicondutora e, desta forma, conseguem atingir, dentro de um circuito integrado, locais que seriam inacessíveis através do uso de outras técnicas [8]. Entretanto, esta metodologia caracteriza-se pelo difícil controle a cerca do local exato onde a falha é injetada [6]. Outra forma bastante eficiente para realizar injeção de falhas sem contato é através do uso de interferência eletromagnética irradiada, onde correntes elétricas são induzidas no circuito sob teste, permitindo assim a realização de experimentos que se aproximam das situações encontradas no mundo real. Finalmente, é importante salientar que, para a realização de experimentos de injeção de falhas através de EMI irradiada, são necessários equipamentos de custo e complexidade elevados e, tal qual a técnica de irradiação de íons, esta metodologia não permite controlar com exatidão os pontos do circuito que deverão receber a interferência.

Já no que diz respeito a injeção de falhas por hardware com contato, essa pode ser aplicada através dos pinos do circuito integrado, bem como através de interferência eletromagnética conduzida nas linhas de alimentação do circuito. Injeção do tipo *pin-level*, como as geradas pelas ferramentas RIFLE [7] e

MESSALINE [14], altera os níveis elétricos dos pinos do circuito sob teste. A injeção pode ocorrer por meio de (1) Pontas de Prova Ativas e/ou por (2) Soquetes.

Da primeira forma, um sinal elétrico é aplicado diretamente nos pinos do componente, através de uma ponta de prova, alterando assim os sinais que entram e saem do dispositivo. É necessário tomar cuidado para não danificar o dispositivo sob teste ao aplicar sinais elétricos com valores excedentes aos máximos permitidos. A segunda forma de injeção de falhas com contato consiste em inserir um soquete entre o circuito integrado alvo do experimento e a placa de circuito impresso, tornando possível, assim, uma interação de forma mais flexível com os sinais elétricos presentes nos pinos do chip. O método provê boa controlabilidade das falhas injetadas e é apropriado para a avaliação de mecanismos de detecção de erros baseados em hardware. Uma desvantagem deste tipo de injeção de falhas por contato é a necessidade da construção de hardware dedicado para a realização dos experimentos [13]. A utilização de circuitos integrados de encapsulamentos com elevada densidade de pinos colabora para aumentar a complexidade do aparato de teste para esse tipo de técnica de injeção de falhas.

Por outro lado, a injeção de falhas através de distúrbios na tensão de alimentação consiste na modulação da componente DC da fonte de alimentação do dispositivo sob teste com um sinal de amplitude e/ou frequência variáveis, simulando, assim, interferência eletromagnética conduzida. As falhas geradas por esta técnica são modeladas basicamente como atraso de propagação e variações de níveis lógicos [17]. Esta técnica permite atingir partes internas dos circuitos integrados, locais inacessíveis pela técnica anterior, por exemplo [12]. Uma vantagem deste tipo de injeção de falhas é que a plataforma de injeção pode ser reutilizada em outros experimentos com praticamente nenhuma alteração. A injeção de falhas por distúrbios na alimentação pode ser utilizada, também, como ferramenta para a avaliação de sistemas de computadores no que diz respeito à sua segurança contra invasão [15] [16]. A Tabela 1 faz uma comparação das diferentes formas de injeção de falhas.

Tabela 1: Comparação entre os três tipos de técnicas de injeção de falhas

<b><i>Tipo</i></b>	<b><i>Etapa</i></b>	<b><i>Características</i></b>
Simulação	Concepção	Flexível, baixo custo.
Software	Protótipo	Baixo custo, abrangência relativa.
Hardware	Produto	Alto custo, cobre situações reais.

Fonte: O Autor (2010).

Em suma, existem diversos mecanismos de injeção de falhas, cobrindo os mais diversos modelos. Alguns demonstram-se mais convenientes do que outros, dependendo da situação e dos modelos de falhas considerados. Deve-se analisar cada caso para determinar qual a melhor estratégia de teste.

### 3 COMPATIBILIDADE ELETROMAGNÉTICA

Neste capítulo serão apresentados os conceitos relativos à compatibilidade eletromagnética (*Electromagnetic Compatibility* - EMC) pertinentes a este trabalho. Inicialmente, será feita uma breve introdução sobre o tema e, então, veremos a definição de Ambiente Eletromagnético. Além disso, será apresentado o conceito de interferência eletromagnética (*Electromagnetic Interference* – EMI) bem como as principais fontes geradoras de EMI. Será definida a diferença entre EMI Conduzida e EMI Irrradiada e suas formas de acoplamento, apresentando seus efeitos danosos causados em dispositivos eletrônicos. Finalmente serão apresentadas as normas que dizem respeito a níveis de emissão e susceptibilidade de interferência eletromagnética, especificamente a norma IEC 61000, parte 4, item 29.

#### 3.1 INTRODUÇÃO

Atualmente, é possível observar que o uso de dispositivos eletrônicos nos mais variados tipos de aplicações cresceu significativamente, tornando-os indispensáveis no nosso cotidiano. Equipamentos e produtos eletrônicos dos mais diversos tipos como, por exemplo, tocadores de música, telefones celulares, computadores portáteis, redes e dispositivos sem-fio, tornaram nossas vidas mais confortáveis e práticas. Em comum, estes aparelhos dividem ou interagem com o mesmo ambiente eletromagnético.

Entretanto, apesar dos inúmeros benefícios trazidos, estes dispositivos contribuem cada vez mais com o aumento da Interferência Eletromagnética no ambiente, levando a manifestação de problemas de funcionamento, degradação de desempenho ou até mesmo a inoperância dos mesmos. Exemplos de problemas decorrentes dessa interação podem variar desde quedas de conexão sem-fio, padrões de interferência em imagens e distorção em áudio até problemas mais graves, quando, por exemplo, um telefone celular interfere com o sistema de injeção de combustível de um automóvel.

Por definição, o termo Compatibilidade Eletromagnética, do inglês *Electromagnetic Compatibility*, ou EMC, refere-se à capacidade de um sistema elétrico ou eletrônico de não interferir nem sofrer interferência eletromagnética (EMI) em um determinado ambiente. Este sistema será compatível eletromagneticamente

quando não emitir EMI acima de determinado nível e quando apresentar imunidade à EMI presente em seu ambiente. O conceito de compatibilidade eletromagnética é associado a uma ou mais normas que definem os níveis de emissão e susceptibilidade às quais o referido sistema deve estar conforme.

Como um sistema não deve interferir nos demais a ponto de prejudicar o funcionamento dos mesmos, o estudo e a análise da interação entre os dispositivos, do ponto de vista eletromagnético, tornam-se fundamentais. Esta interação pode ser abordada sob os pontos de vista da (1) Emissão e (2) Susceptibilidade à interferência eletromagnética. No primeiro caso, o foco está na emissão do sistema para o meio e, no segundo caso, na forma como o meio afeta determinado circuito integrado ou sistema.

Estes estudos servem para a criação e o estabelecimento de normas e diretrizes que regerão o projeto de dispositivos eletrônicos. Por meio do desenvolvimento de técnicas específicas como, por exemplo, *layout* apropriado e blindagens, é possível desenvolver equipamentos que cumpram as exigências de níveis máximos de emissão e susceptibilidade.

### 3.2 CONCEITOS BÁSICOS

Apresentamos a seguir as definições da *International Electrotechnical Commission* – IEC – importantes para a compreensão deste capítulo [20]:

- **Emissão:** é o fenômeno no qual a energia eletromagnética (interferência ou distúrbio) emana de uma determinada fonte geradora para um dispositivo ou sistema “vítima”;
- **Nível de Emissão:** é o nível de interferência eletromagnética emitida a partir de um determinado dispositivo, equipamento ou sistema;
- **Limite de Emissão:** é o nível máximo de emissão de uma fonte geradora de interferência eletromagnética;
- **Imunidade:** é a capacidade de um dispositivo, equipamento ou sistema executar suas funções na presença de uma perturbação, ruído ou interferência eletromagnética sem degradação de desempenho;
- **Nível de Imunidade:** é a incidência máxima de ruído, perturbação ou interferência eletromagnética sobre um determinado dispositivo, equipamento ou

sistema para que ele permaneça ainda capaz de operar com o grau de desempenho exigido;

- **Limite de Imunidade:** é o nível de imunidade mínimo sobre um determinado dispositivo, equipamento ou sistema para que ele permaneça capaz de operar com grau de desempenho exigido;
- **Susceptibilidade (eletromagnética):** é a incapacidade de um dispositivo, equipamento ou sistema de executar suas funções na presença de uma perturbação eletromagnética;
- **Limite de Interferência:** é o nível de interferência eletromagnética máxima admissível de um determinado dispositivo, equipamento ou sistema;
- **Nível de Compatibilidade Eletromagnética:** é o nível de interferência eletromagnética utilizado como referência para a fixação de limites de emissão e imunidade.

### 3.3 AMBIENTE ELETROMAGNÉTICO

Um ambiente eletromagnético (*Electromagnetic Environment – EME*) é definido como a totalidade de fenômenos e interações eletromagnéticas existentes em um determinado local [IEC 60650-161]. Em outras palavras, é o efeito mútuo das emissões e recepções eletromagnéticas de elementos, tais como rede de energia elétrica, instalação ou local do equipamento e de outros equipamentos eletroeletrônicos.

É importante notar que qualquer alteração que este ambiente sofra, provocará impacto na distribuição espacial dos campos eletromagnéticos e, por consequência, nas características de EMC dos sistemas nele inseridos.

### 3.4 INTERFERÊNCIA ELETROMAGNÉTICA

Interferência eletromagnética são perturbações causadas a um circuito, dispositivo ou sistema eletrônico por radiações eletromagnéticas emitidas a partir de um fonte externa. Este fenômeno pode causar a inoperância temporária ou permanente, bem como degradação do desempenho do sistema que sofre interferência. Para compreendermos como ocorre a interferência eletromagnética,

suas consequências e técnicas de mitigação de seus efeitos, é necessário identificar os geradores e receptores, a forma pela qual acontece a interação entre os campos eletromagnéticos dos dispositivos pertencentes no ambiente eletromagnético e os níveis de energia e frequências envolvidas.

### 3.4.1 Fontes de EMI

As fontes de Interferência eletromagnética podem ser classificadas em naturais e artificiais [29], e sua classificação é mostrada na tabela 2.

- **Fontes Naturais:** são interferências ou distúrbios eletromagnéticos provenientes de fenômenos naturais, tais como ruído atmosférico decorrente de descargas elétricas e radiação cósmica, por exemplo;
- **Fontes Artificiais:** são perturbações causadas pela ação do homem, como, por exemplo, as decorrentes do acionamento de motores elétricos, lâmpadas fluorescentes, equipamentos de telecomunicação e máquinas industriais.

Tabela 2: Distúrbios elétricos mais comuns

<i>Classe</i>	<i>Tipo</i>	<i>Origem</i>
Alta Energia	Subtensão	1 Chaveamento entre fontes de alimentação;
		2 Curto-circuito;
		3 Acionamento de motores de alta potencia.
Média Frequência	Harmônicas	1 Sistemas com semicondutores de potencia;
		2 Fornos à arco elétrico;
		3 Acionamento de relés;
		4 Reatores eletrônicos;
		5 Fontes chaveadas.
Alta Frequência	Sobretensão	1 Descargas atmosféricas;
		2 Chaveamento de circuitos de controle;
		3 Atuação de circuitos de proteção.

Descarga Eletrostática	1 Descargas eletrostáticas entre pessoas e equipamentos.
---------------------------	--

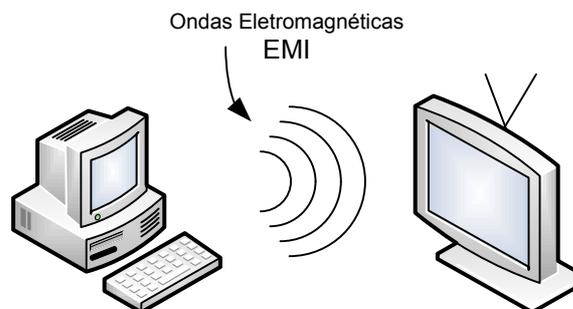
Fonte: Souza (2006).

### 3.4.2 EMI Conduzida e EMI Irradiada

A interferência eletromagnética pode atingir o dispositivo alvo através de duas formas: (1) acoplamento conduzido e (2) acoplamento irradiado e, ainda, uma combinação destas.

A EMI Irradiada tem sua energia transferida da fonte geradora ao circuito ou sistema receptor, ou vítima, através do espaço, sob a forma de ondas eletromagnéticas. Para este tipo de transferência acontecer é necessário que o elemento gerador irradie o campo eletromagnético através da atmosfera até o circuito receptor. Normalmente, isto ocorre quando um ou mais elementos do gerador, como cabos e trilhas de circuito impresso comportam-se como antenas. O fenômeno pode ser exemplificado pela Figura 8.

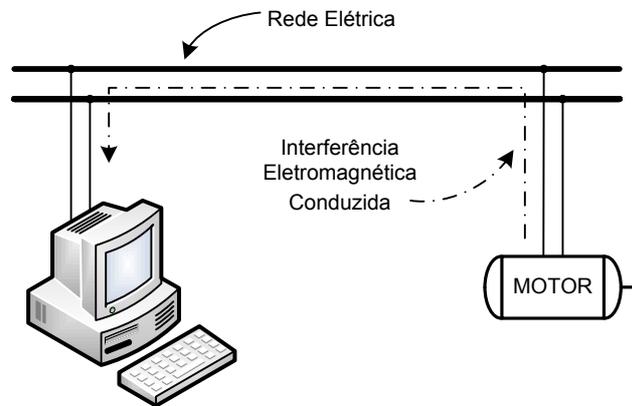
Figura 8: Mecanismo de ocorrência de falhas por EMI irradiada



Fonte: Bosh (2004).

Já no caso da EMI Conduzida, a energia é transferida da fonte geradora ao circuito ou sistema vítima através de um ou mais condutores de alimentação elétrica, pela referência de tensão ou pelos terminais de I/O (entrada e saída) de dados. Este tipo de interferência ocorre de forma frequente através da rede de alimentação elétrica alternada, já que esta é comum a vários sistemas que geram ruído de natureza eletromagnética, muito comum em ambientes industriais, comerciais e domésticos, por exemplo. A Figura 9 ilustra esta forma de transmissão.

Figura 9: Mecanismo de ocorrência de falhas por EMI conduzida



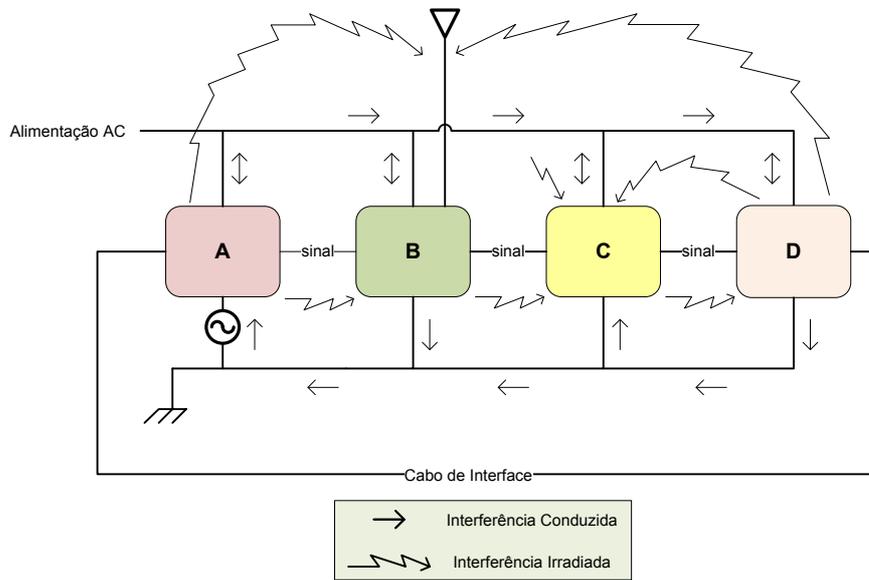
Fonte: Bosh (2004).

### 3.4.3 Acoplamento de EMI

Para que a interferência eletromagnética exista é necessário uma *fonte*, um *caminho* para o acoplamento da emissão e um circuito, unidade ou sistema sensível agindo como receptor do ruído [29]. Em circuitos e condutores próximos, o acoplamento acontece através de indutância e capacitância parasitas, com um deles predominando em relação ao outro. O ruído pode ser originado das linhas de alimentação, linhas de sinal, circuitos lógicos ou *ground loops*.

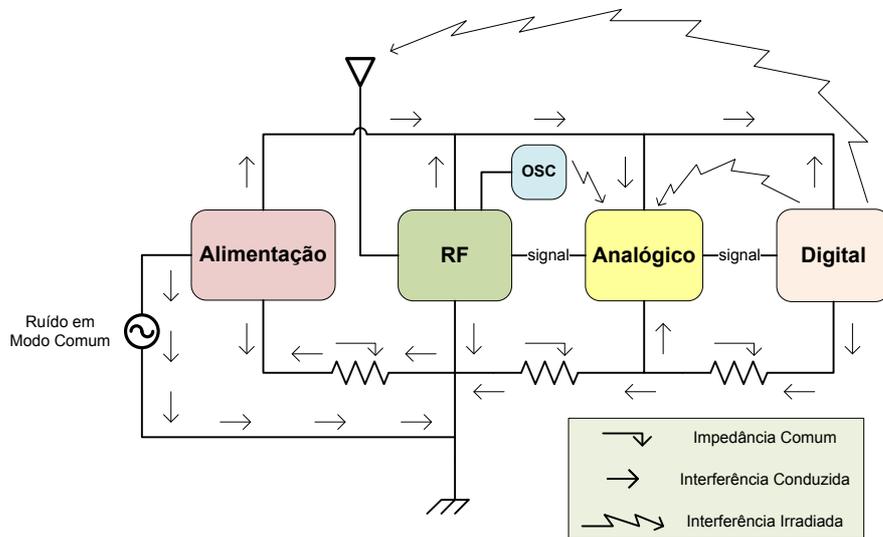
A forma de acoplamento entre o gerador e o receptor da interferência depende fortemente das frequências envolvidas. Quando a interferência é constituída por sinais de alta frequência, a transmissão acontece por irradiação [31]. Por outro lado, quando predominam sinais de baixa frequência, a transmissão acontece de forma conduzida. As figuras 10 e 11 ilustram essas formas de acoplamento.

Figura 10: Modos possíveis de acoplamento de interferência eletromagnética



Fonte: Weston (2001).

Figura 11: Formas de acoplamento dentro do equipamento



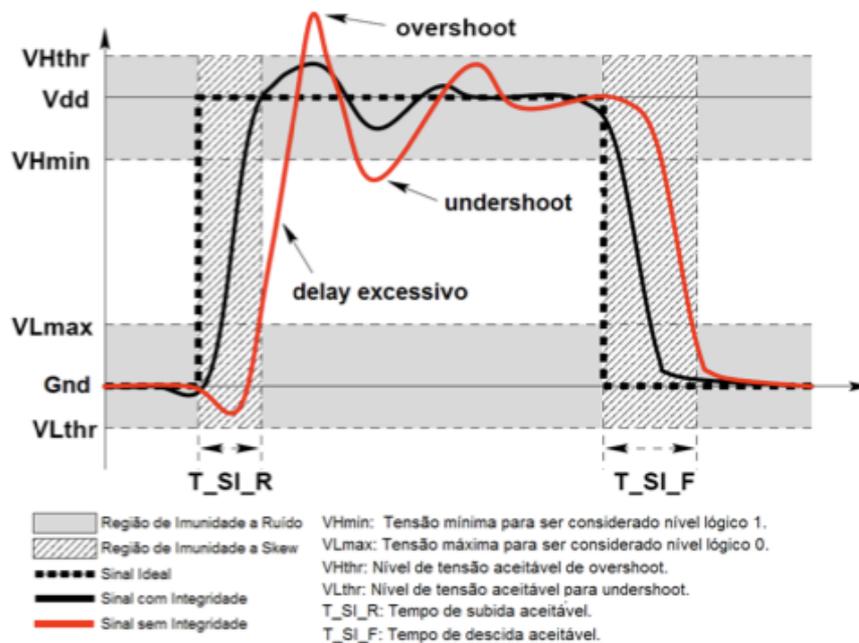
Fonte: Weston (2001).

### 3.5 EFEITOS DA EMI NA ELETRÔNICA

Para que um sistema opere da forma como foi projetado e validado originalmente, é necessário que os sinais elétricos presentes em seus circuitos apresentem características, tais como níveis de tensão e tempos de subida e

descida, compatíveis com sua especificação. Neste contexto, definimos Integridade de Sinal (*Signal Integrity – SI*) como a característica ou habilidade de um determinado sinal em gerar respostas corretas em um circuito ou sistema eletrônico [42]. A Figura 12 ilustra as características de um sinal íntegro e mostra suas possíveis distorções que podem causar problemas.

Figura 12: Exemplo da integridade de um sinal de um sistema eletrônico



Fonte: Nourami; Attarha (2002).

Uma vez que equipamentos de diferentes tecnologias passam a compartilhar de um mesmo ambiente eletromagnético tem-se um cenário propício para a interação eletromagnética indesejada na forma de interferência entre estes. Os efeitos decorrentes podem ser:

- **Flutuações nas linhas de alimentação:** Reduções temporárias dos níveis de tensão das linhas de alimentação ( $V_{CC}$ ) de um dispositivo ou sistema eletrônico;
- **Ruído nas linhas de alimentação:** Variações de corrente de carga provenientes do rápido chaveamento de circuitos;

- **Skew:** Diferenças nos tempos de propagação de dois ou mais sinais transmitidos simultaneamente através da mesma rede;
- **Ground Bounce:** Elevações momentâneas dos níveis de tensão das linhas de referência de tensão (GND) de um dispositivo ou sistema eletrônico.

Estas manifestações físicas decorrentes da interferência eletromagnética prejudicam a integridade dos sinais e causam falhas, principalmente atrasos de propagação e alterações de níveis lógicos, nos sistemas eletrônicos, levando estes a apresentar erros em suas saídas.

### 3.6 NORMAS IEC

A Comissão Eletrotécnica Internacional (*International Electrotechnical Commission* - IEC ) é uma organização de nível mundial cujo objetivo é promover a cooperação internacional nas áreas elétrica e eletrônica, em questões que envolvam padronização. A IEC reúne todas as tecnologias relacionadas à eletroeletrônica, incluindo magnetismo e eletromagnetismo, eletroacústica, telecomunicações, geração e distribuição de energia elétrica. Também versa sobre terminologia e símbolos, compatibilidade eletromagnética, medição e desempenho, confiabilidade, projeto e desenvolvimento, segurança e meio-ambiente. Através da definição e estabelecimento de normas, busca eliminar barreiras técnicas e, desta forma, promover o comércio.

#### 3.6.1 Norma 61000

A família de normas técnicas IEC 61000 busca abordar assuntos básicos sobre EMC englobando terminologia, descrição de fenômenos eletromagnéticos, medição e técnicas de ensaios bem como guias de instalação e mitigação. Esses assuntos encontram-se subdivididos em padrões e relatórios técnicos, compostos de nove partes:

- **Parte 1:** Considerações gerais (introdução, princípios fundamentais, segurança), definições e terminologia;

- **Parte 2:** Descrição e classificação do ambiente e níveis de compatibilidade;
- **Parte 3:** Limites de emissão e imunidade;
- **Parte 4:** Técnicas de medição e ensaio;
- **Parte 5:** Guias de instalação, métodos de mitigação e dispositivos;
- **Parte 6:** Padrões genéricos;
- **Parte 9:** Diversos.

Para esta dissertação, foi utilizado o item 29 da parte 4, o qual é detalhado a seguir.

### 3.6.2 Norma IEC 61000-4-29

O item 29 da parte 4 tem como objetivo estabelecer um método básico para ensaios relativos à imunidade de equipamentos ou dispositivos alimentados por fontes de corrente contínua de baixa tensão. A seguir será apresentada a definição de alguns termos importantes para a compreensão desta norma:

- **Queda de Tensão:** caracteriza-se como uma redução súbita na tensão de alimentação do equipamento/dispositivo, seguida de seu retorno à tensão nominal em um curto período de tempo. Quedas de tensão superiores a 80% do valor nominal são consideradas como interrupções [9];
- **Pequena Interrupção:** caracteriza-se como o desligamento momentâneo da tensão de alimentação por um período de tempo menor do que um minuto [9].
- **Variação de Tensão:** caracteriza-se como uma alteração gradual da tensão de alimentação para valores maiores ou menores que a tensão nominal e sua duração pode ser curta ou longa [9].

As Tabelas 3, 4 e 5, mostradas a seguir, apresentam percentualmente os níveis de tensão relativos à tensão nominal e os tempos de duração sugeridos pela norma para ensaios em equipamentos e dispositivos elétricos e eletrônicos.

Tabela 3: Amplitude de variação e duração para quedas de tensão

<b>Teste</b>	<b>Nível [% Ut]</b>	<b>Duração [s]</b>
		0,01
		0,03
Variação brusca de tensão ( <i>Voltage Dip</i> )	40 e 70	0,1
	ou	0,3
	X	1
		X
X: Valor definido de acordo com o DUT		

Fonte: Norma Técnica IEC 61000-4-29.

Tabela 4: Amplitude de variação e duração para interrupções de tensão

<b>Teste</b>	<b>Condição de Teste</b>	<b>Nível [% Ut]</b>	<b>Duração [s]</b>
			0,001
			0,003
			0,01
Interrupção na alimentação ( <i>Short Interruption</i> )	Alta e/ou baixa impedância	0	0,03
			0,1
			0,3
			1
			X
X: Valor definido de acordo com o DUT			

Fonte: Norma Técnica IEC 61000-4-29.

Tabela 5: Amplitude de variação e duração para variação de tensão

<b>Teste</b>	<b>Nível [% Ut]</b>	<b>Duração [s]</b>
		0,1
	85 e 120	0,3
	ou	1
Variação de tensão ( <i>Voltage Variation</i> )	80 e 120	3
	ou	10
	X	X
X: Valor definido de acordo com o DUT		

Fonte: Norma Técnica IEC 61000-4-29.

## 4 PLATAFORMA PROPOSTA DE INJEÇÃO DE RUÍDO ELETROMAGNÉTICO

### CONDUZIDO

Neste capítulo será apresentada a plataforma proposta de injeção de ruído, os detalhes de sua implementação e, por fim, uma descrição do modo de operação da mesma.

#### 4.1 INTRODUÇÃO

A plataforma proposta foi concebida a partir da necessidade de avaliar e validar trabalhos desenvolvidos no grupo de pesquisas SiSC, da PUCRS. Para realizar estes trabalhos, era necessário gerar ruído eletromagnético conduzido de baixa frequência, criando, assim, um ambiente capaz de gerar as falhas específicas, descritas anteriormente, que são as falhas de atraso e de nível lógico. Era necessário também que este ambiente fosse flexível, de fácil utilização e que permitisse a injeção de ruído eletromagnético conduzido diretamente nas linhas de alimentação do DUT. Desta forma, seria possível a realização de experimentos que envolvessem a validação e a avaliação de técnicas de tolerância a falhas bem como da robustez de circuitos integrados e sistemas frente ao ruído eletromagnético.

Outra característica desejável era que a plataforma desenvolvida pudesse ter seu funcionamento controlado externamente, de forma a ser empregada em experimentos automatizados. A capacidade de fornecimento de corrente elétrica também foi levada em conta, pois havia a necessidade de uma capacidade mínima, capaz de alimentar um pequeno sistema. Desta forma, foi desenvolvida uma plataforma parametrizável e compacta para utilização em atividades de pesquisa e desenvolvimento e que atendesse estes requisitos. As Figuras 13, 14 e 15 mostram a plataforma desenvolvida.

Figura 13: Vista geral do protótipo da plataforma



Fonte: O Autor (2010).

Figura 14: Vista Dianteira do protótipo da plataforma



Fonte: O Autor (2010).

Figura 15: Vista Traseira do protótipo da plataforma

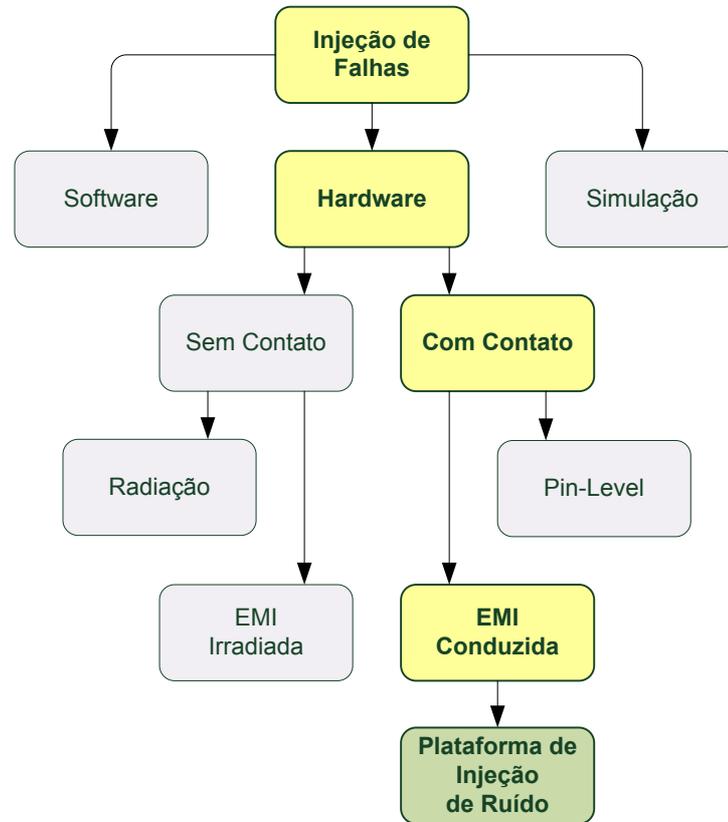


Fonte: O Autor (2010).

## 4.2 CATEGORIZAÇÃO

A figura 16 mostra como a plataforma é classificada dentre os diferentes tipos de injetores de falhas.

Figura 16: Classificação da plataforma desenvolvida



Fonte: O Autor (2010).

Conforme visto, a plataforma trata-se na prática de um dispositivo capaz de injetar falhas por *hardware*, com contato, por meio de interferência eletromagnética conduzida.

### 4.3 ESPECIFICAÇÃO

As características técnicas principais da implementação do gerador são mostradas na Tabela 6.

Tabela 6: Características implementadas no gerador

<b>Característica</b>	<b>Unidade</b>	<b>Valor</b>	
Tensão máxima de saída	V	9,99	
Corrente máxima de saída	A	2,00	
Temporização mínima   máxima	ms	1	2000
Tempo de resposta de habilitação	ms	20	
Tempo máximo de subida do sinal	ns/V	185	
Regulagem de carga	%	< 5,00	

Fonte: O Autor (2010).

Os valores limites de tensão e corrente foram definidos de forma que a plataforma pudesse atender o maior número possível de dispositivos eletrônicos sob teste em laboratório, levando-se em conta a limitação dos componentes eletrônicos disponíveis para a realização do projeto. Baseados na experiência prática, podemos afirmar que um bom número de circuitos eletrônicos consegue ser alimentado por uma fonte de alimentação cujas características sejam aquelas apresentadas na tabela 6. Os limites de temporização por sua vez foram definidos visando atender a norma. A seguir os parâmetros de especificação são descritos em detalhes.

- **Tensão máxima de saída:** é a tensão máxima que o gerador pode disponibilizar na sua saída. O hardware da plataforma foi projetado para fornecer um sinal capaz de variar desde -15,0 até +15,0 V, porém foi implementada, por questões de segurança, uma limitação em *firmware* para que este valor se mantivesse dentro da faixa de 0,00 a 9,99 V.
- **Corrente máxima de saída:** é a corrente elétrica máxima possível de drenar do gerador. Ela é limitada pelo transformador de alimentação e pelo circuito *driver* e nesta implementação seu valor é de 2,00 A.
- **Temporização mínima | máxima:** é o tempo durante o qual o gerador mantém determinado nível de tensão em sua saída. O hardware permite uma temporização mínima (e múltipla) de 100  $\mu$ s, porém através do software esta temporização foi implementada numa faixa que vai de 1 até 2000 ms, em passos de 1 ms.
- **Tempo de resposta de habilitação:** é o tempo decorrido entre o acionamento da entrada de controle *enable* e o início da modulação do ruído

na componente DC da saída do gerador. Esta entrada de controle é utilizada quando o gerador é gerenciado a partir de um equipamento externo.

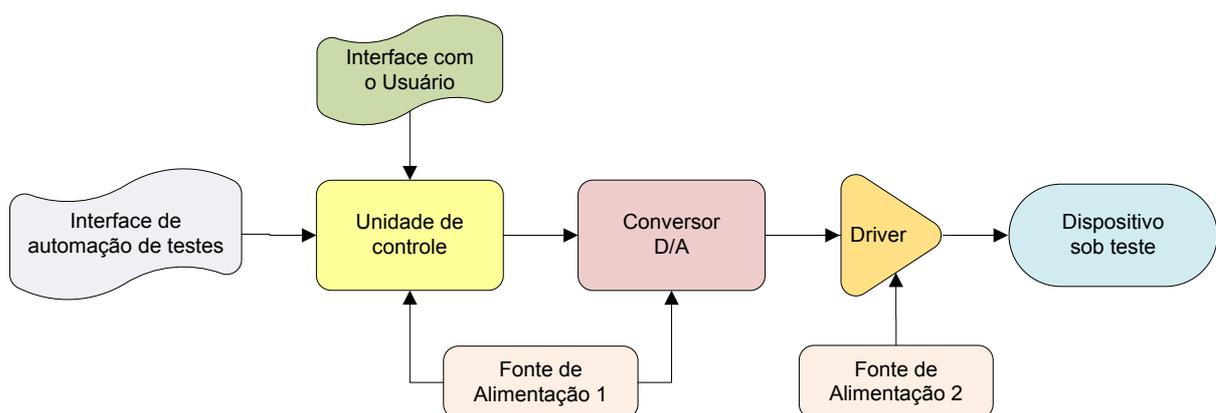
- **Tempo máximo de subida do sinal:** é o tempo de subida e descida máximo que o sinal de saída consegue excursionar. O sinal de saída da plataforma consegue variar de 0,00 a 5,00 V em 925 ns.
- **Regulagem de carga:** neste caso refere-se à variação na tensão de saída quando, ajustada em 10 V e a partir da ausência de carga, conectamos uma carga resistiva de 10 ohms, estabelecendo uma corrente de 1,00 A, aproximadamente.

O período e a amplitude das formas de onda dos distúrbios de alimentação pré-determinados pela norma são muito maiores do que a tensão de *ripple* gerada pela fonte de alimentação da plataforma. Desta forma, o efeito desta sobre-interferência pode ser desconsiderado para efeitos práticos.

#### 4.4 ARQUITETURA

A Figura 17 mostra o diagrama de blocos da arquitetura do gerador de ruído desenvolvido.

Figura 17: Arquitetura de blocos da plataforma



Fonte: O Autor (2010).

A plataforma apresenta duas interfaces com o mundo exterior. A primeira trata-se de um painel de controle para interação direta com o usuário, por onde este pode configurar o gerador e controlar os experimentos realizados. A segunda é

composta por um barramento serial, padrão EIA-232, para conexão com um dispositivo de controle, que pode ser um PC ou outro equipamento, visando a automação do processo de teste. A automação é importante em qualquer *setup* de testes, pois permite a realização de centenas, ou mesmo milhares, de rodadas de experimentos, com pouca ou nenhuma intervenção humana.

Uma vez configurado, o gerador passa a alimentar o dispositivo sob teste através de seu *driver* de potência. A descrição dos blocos é feita a seguir, detalhando os componentes eletrônicos utilizados na implementação específica.

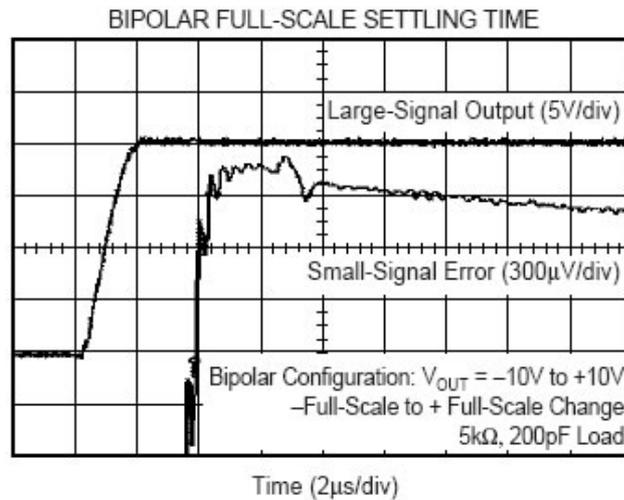
#### **4.4.1 Unidade de Controle**

A unidade de controle é baseada em dois microcontroladores MSC1211, fabricados pela *Texas Instruments*. Um deles tem por finalidade gerenciar as interfaces com o usuário e com os demais equipamentos de automação de teste. O outro microcontrolador é dedicado ao fornecimento de dados para o bloco conversor digital-analógico, com a forma de onda configurada para ser aplicada no dispositivo sob teste.

#### **4.4.2 Conversor Digital-Analógico**

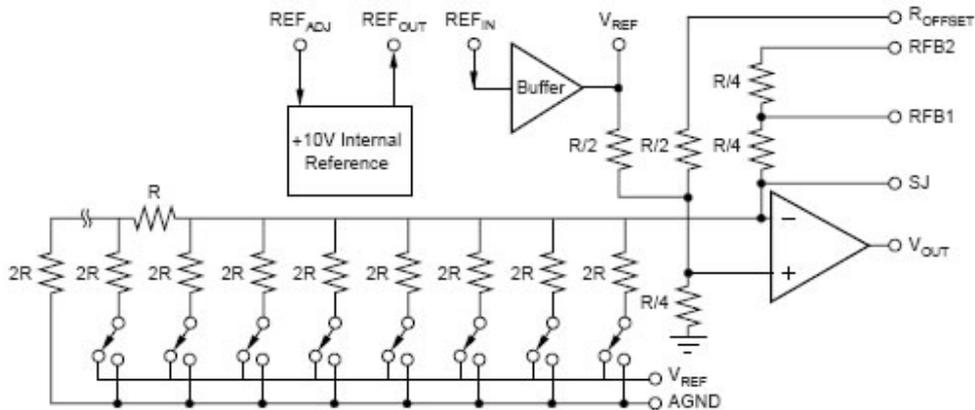
Este bloco é responsável pela conversão dos dados digitais provenientes do bloco de controle em um sinal analógico, que por sua vez é amplificado pelo bloco seguinte. Na implementação realizada, o bloco conversor digital-analógico consiste no dispositivo DAC7741, fabricado pela *Texas Instruments*. Suas principais características, como tempo de subida do sinal e estrutura interna podem ser visualizados nas Figuras 18 e 19.

Figura 18: Tempo de subida do sinal



Fonte: Texas Instruments (2007).

Figura 19: Estrutura interna do conversor utilizado

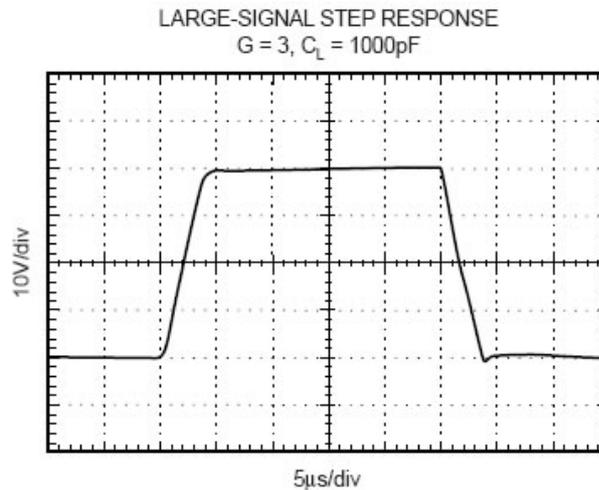


Fonte: Texas Instruments (2007).

#### 4.4.3 Driver

O *driver* é o bloco que amplifica do sinal vindo do conversor D/A e responsável por transferir a energia da fonte de alimentação ao DUT. Ele é baseado em um amplificador operacional OPA549 de alta potência, fabricado pela Texas Instruments. Ele é alimentado por uma fonte de alimentação dedicada, e tem por função alimentar diretamente o DUT. A figura 20 mostra a resposta ao degrau deste dispositivo para sinais de grande amplitude.

Figura 20: Resposta do driver ao degrau para sinais de grande amplitude



Fonte: Texas Instruments (2005).

A resposta ao degrau mostra um *overshoot* desprezível enquanto mantém um tempo de subida relativamente curto. Estas características tornam este dispositivo apropriado para a aplicação desejada.

#### 4.4.4 Interfaces

O gerador de ruído é programado e operado a partir de seu painel de configuração. Através desta interface é feita a configuração inicial da forma de onda quando, então, são ajustados os principais parâmetros do sinal, tais como **tensão nominal** ( $V_{CC}$ ), **período** de temporização, **amplitude da variação de tensão** e **ciclo ativo** do sinal. Nesse painel localiza-se, também, uma entrada auxiliar para o controle de ativação do ruído. Esse controle permite realizar a automação do teste por meio de um sinal de habilitação gerado por um terceiro equipamento ou o próprio DUT, permitindo o controle dos momentos exatos de início e de término da injeção.

#### 4.4.5 Fontes de Alimentação 1 e 2

A plataforma foi idealizada com duas fontes de alimentação independentes. Uma delas faz a alimentação de todos os circuitos eletrônicos, com exceção do

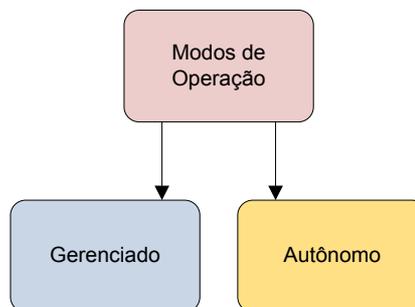
bloco *driver*. Esse bloco, que é o bloco que entrega a energia ao DUT, é alimentado pela segunda fonte, dedicada à essa função. Esta segunda fonte, comparada com seu par, é de maior potência.

A separação foi feita para que o nível de interferência mútua entre as fontes fosse o mínimo possível. Outro ganho obtido é que redesenhos futuros serão facilitados devido à esta modularização, ou seja, alterações na etapa de potência, por exemplo, não implicarão na necessidade de alterar o restante do sistema.

#### 4.5 OPERAÇÃO

A operação descrita a seguir baseia-se em uma implementação particular da interface com usuário e estas etapas e procedimentos poderão mudar na ocasião do desenvolvimento de novas versões da plataforma. O gerador possui dois modos de operação: (1) gerenciado e (2) autônomo, conforme mostra a Figura 21. A seleção entre um modo e outro é feita através de um botão localizado no painel traseiro do gerador.

Figura 21: Modos de operação da plataforma



Fonte: O Autor (2010).

No modo de operação gerenciado, após a realização da configuração dos parâmetros iniciais, o gerador passa a aguardar por um sinal externo para iniciar a modulação do ruído, sinal este aplicado por meio da entrada de habilitação.

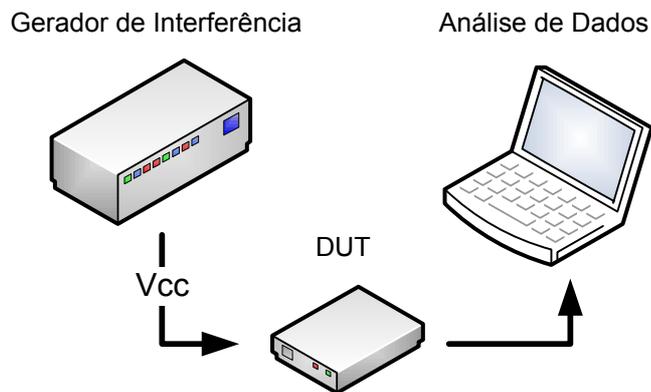
No modo de operação autônomo, o acionamento da interferência é realizado de forma manual pelo operador do experimento, através do painel de configuração. O início e o término da modulação, neste caso, são determinados através da

intervenção no botão *enter* (#), localizado no painel frontal. As subseções que seguem apresentam um detalhamento maior da configuração do gerador.

#### 4.5.1 Setup de Testes

A Figura 22 ilustra um possível *setup* mínimo de conexão da plataforma para a execução de experimentos. O gerador é ligado na conexão de alimentação do DUT e um terceiro dispositivo encarrega-se da análise dos dados oriundos deste experimento

Figura 22: Esquema de conexão da plataforma

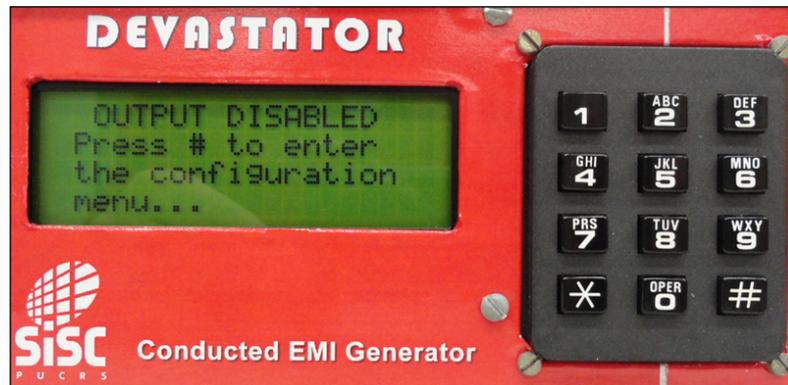


Fonte: O Autor (2010).

#### 4.5.2 Descrição do Painel de Configuração

A Figura 23 mostra o painel de configuração da plataforma de injeção de ruído desenvolvida.

Figura 23: Foto do painel de configuração do gerador de ruídos

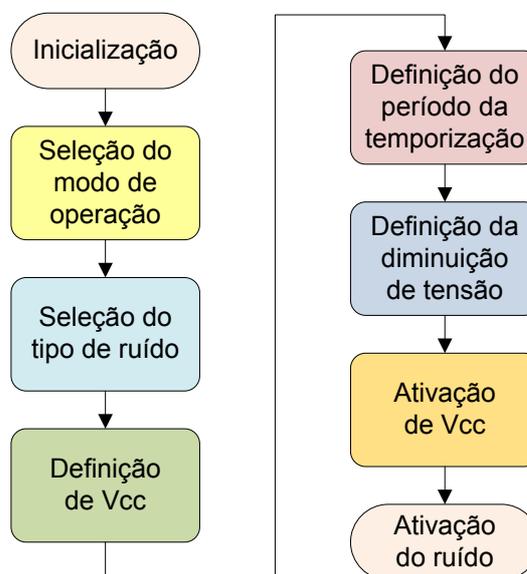


Fonte: O Autor (2010).

#### 4.5.3 Fluxograma de Configuração

Para configurar o gerador e prepará-lo para o uso, é necessário seguir a sequência de etapas apresentadas na Figura 24.

Figura 24: Fluxograma de configuração do gerador



Fonte: O Autor (2010).

A explicação de cada etapa citada acima encontra-se a seguir:

- **Inicialização:** esta etapa é transparente ao operador e consiste na inicialização da plataforma, desativação da saída e apresentação de tela de boas-vindas, logo após a energização do gerador. Ver Figura 25;

Figura 25: Tela exibida após inicialização



Fonte: O Autor (2010).

- **Seleção do Modo de Operação:** nesta etapa selecionamos se o gerador funcionará no modo gerenciado ou autônomo. Esta configuração é feita através de uma chave localizada no painel traseiro e, se não houver necessidade de alteração pode ser desconsiderada durante novo processo de parametrização. Ver Figura 26;

Figura 26: Seleção do modo de operação



Fonte: O Autor (2010).

- **Seleção do Tipo de Ruído:** a plataforma foi criada para atender a norma IEC 64.000-4-29 e nesta etapa é necessário escolher entre um dos três tipos de PSD, mostrados nas tabelas 2, 3 e 4. Ver Figura 27;

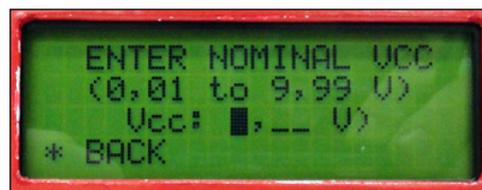
Figura 27: Seleção do tipo de ruído



Fonte: O Autor (2010).

- **Definição de  $V_{CC}$ :** digita-se o valor da tensão nominal de operação do sistema sob teste. Este valor deve estar compreendido entre 0,00 e 9,99 V. Ver Figura 28;

Figura 28: Definição de VCC



Fonte: O Autor (2010).

- **Definição do Período de Temporização:** nesta etapa configuramos o tempo de duração da queda de tensão, que será o mesmo tempo de manutenção da tensão nominal. A relação de proporção do sinal, ou ciclo ativo, pode ser ajustada posteriormente, durante o funcionamento. Ver Figura 29;

Figura 29: Definição do período de temporização



Fonte: O Autor (2010).

- **Definição da Diminuição de Tensão:** dependendo do tipo de ruído selecionado é necessário entrar com a amplitude da diminuição de tensão, em termos percentuais, desde 1 até 99%, de acordo com a Figura 30.

Figura 30: Definição da diminuição de tensão



Fonte: O Autor (2010).

Ao término esta etapa, é exibida uma tela de confirmação com o resumo de todas as configurações realizadas, conforme mostra a Figura 31;

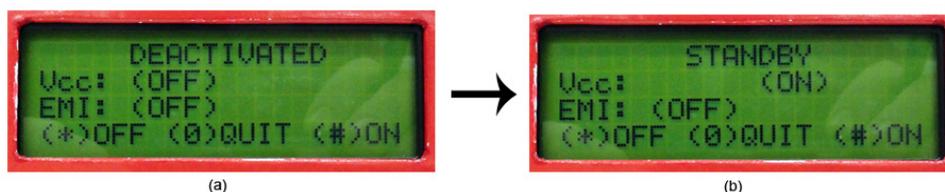
Figura 31: Tela de confirmação das configurações



Fonte: O Autor (2010).

- **Ativação de  $V_{CC}$ :** até o final da configuração de todos os parâmetros, a saída encontra-se desativada. Nesta etapa, ativa-se a tensão nominal e o gerador passa a funcionar como uma fonte de alimentação comum. Ver Figura 32;

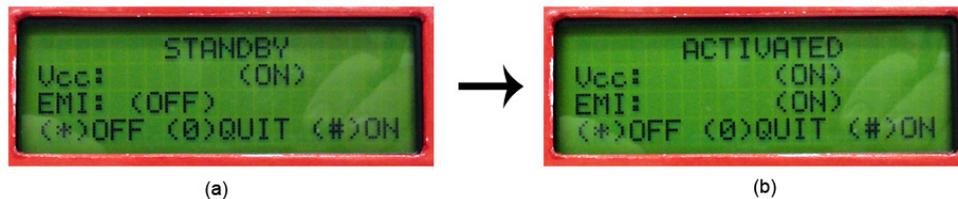
Figura 32: Inicialmente desativada (a), a saída é então ligada (b)



Fonte: O Autor (2010).

- **Ativação do Ruído:** após a ativação da tensão nominal, o gerador está pronto para iniciar a modulação com o ruído configurado. Nesta etapa, de acordo com a configuração, a ativação é realizada ou pela entrada “enable” ou diretamente pelo painel de configuração, através da tecla “#” do teclado numérico. Ver Figura 33.

Figura 33: Após a saída ser ligada (a), o ruído é finalmente ativado (b)



Fonte: O Autor (2010).

São importantes algumas observações sobre a configuração:

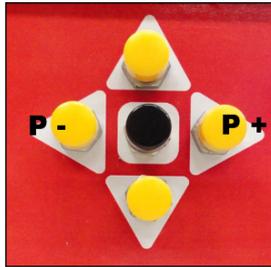
1. A qualquer momento é possível retornar à etapa anterior. Para isto, basta pressionar o botão “back” ( \* ) em qualquer uma das etapas;
2. É possível retornar ao início da configuração pressionando-se o botão “quit” (0), em qualquer etapa;
3. Para ativar a saída pressiona-se o botão “ # ” e para ativar em seguida a modulação do ruído, pressiona-se uma vez mais a mesma tecla;
4. Para desligar o ruído, pressione o botão “ \* ” uma vez. A modulação será interrompida e o gerador colocará em sua saída a tensão nominal. Por fim, para interromper a alimentação fornecida ao DUT, pressiona-se uma vez mais a mesma tecla, desligando assim a saída do gerador.

#### 4.5.4 Parametrização

Durante o funcionamento da plataforma, enquanto o ruído estiver ativo, é possível alterar quatro parâmetros do sinal. São eles: período de temporização, amplitude da diminuição de tensão, tensão nominal e ciclo ativo. Essa alteração pode ser realizada conforme descrito abaixo:

- **Período de Temporização:** é alterado através dos botões de navegação “esquerdo” (aumento) e “direito” (diminuição). A alteração acontece em passos de 1 ms para o período alto e 1 ms para o período baixo, simultaneamente, ou seja, em passos de 2 ms no total. A frequência é dada por duas vezes o período de temporização. Ver figura 34;

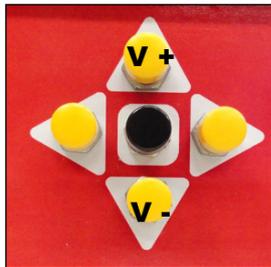
Figura 34: Botões para alteração do período de temporização



Fonte: O Autor (2010).

- **Amplitude da Diminuição de Tensão:** este parâmetro é alterado por meio dos botões de navegação “acima” (aumento) e “abaixo” (diminuição). Esta alteração é percentual, em passos de 1%. Ver figura 35;

Figura 35: Botões para alteração da amplitude da diminuição da tensão



Fonte: O Autor (2010).

- **Tensão Nominal:** a tensão nominal é alterada por meio dos botões “2” (aumento) e “8” (diminuição) do teclado numérico. O incremento ou decremento é realizado em passos de 0,01 V, até os limites da plataforma. Ver figura 36;

Figura 36: Botões que alteram a tensão nominal



Fonte: O Autor (2010).

- **Ciclo Ativo:** é alterado por meio dos botões “6” (aumento) e “4” (diminuição) do teclado numérico que alteramos o ciclo ativo do sinal gerado. A alteração acontece em passos de 1 ms, mantendo a frequência original do sinal. Ver Figura 37.

Figura 37: Botões que alteram o ciclo ativo do sinal gerado



Fonte: O Autor (2010).

## 5 VALIDAÇÃO

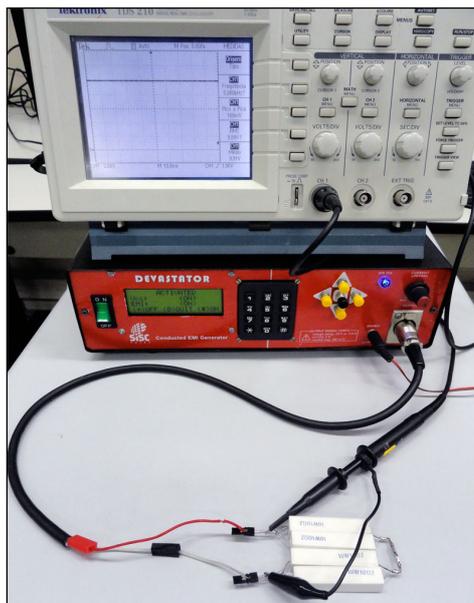
A plataforma foi validada em relação a duas de suas características, consideradas como principais: **capacidade de fornecer a corrente elétrica adequada** e **capacidade de gerar as formas de onda** de acordo com a especificação das normas IEC 61000.

Em relação a primeira forma de validação, foram realizados ensaios para verificar se era possível alimentar uma carga resistiva submetendo o gerador a 50% da capacidade máxima, ou seja 1,00 A, uma vez que este foi especificado para fornecer até 2,00 A de corrente.

A segunda característica validada foi a conformidade com as normas IEC. Esta norma, conforme já explicado em detalhes na seção 3.6.2 desta dissertação, especifica as condições de teste para situações de queda de tensão (*voltage dip*), interrupção de tensão (*short interruption*) e variação de tensão (*voltage variation*). Sendo assim, a **capacidade da plataforma de gerar as formas de ondas da norma** mencionada, sob carga, também foi verificada.

A Figura 38 apresenta o *setup* de testes para os dois casos.

Figura 38: Teste com carga resistiva



Fonte: O Autor (2010).

## 5.1 CORRENTE ELÉTRICA

Através da conexão de uma carga resistiva na saída do gerador, com o objetivo de simular um sistema sob teste, a plataforma foi colocada em operação. A mesma foi configurada para atuar como fonte de alimentação regular, mantendo fixa a tensão em sua saída. Esta tensão foi ajustada em 9.99 V, que é o valor máximo especificado para esta implementação. Verificou-se através de medições realizadas do sinal gerado, com auxílio de um multímetro, que o valor da corrente elétrica estava dentro do esperado (1,00 A), conforme mostra a Figura 39.

Figura 39: Forma de onda conforme norma IEC64000-4-29



Fonte: O Autor (2010).

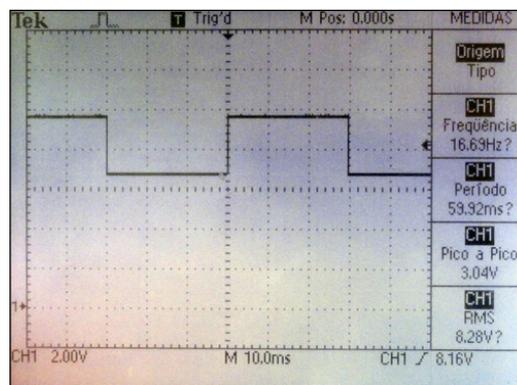
## 5.2 FORMA DE ONDA

A seguir é mostrada a validação dos três tipos de PSD descritos na norma IEC 61000-4-29 e implementados na plataforma. Uma carga resistiva de 10 ohms conectada na saída do gerador serviu como carga. Importante observar uma tolerância de 5% como regulagem de carga. Apesar da norma não especificar quais seriam os tempos máximos de subida e descida do sinal, a experimentação demonstrou que estes tempos são muito menores do que o tempo em que o sinal é mantido estável, ou seja, podem ser desconsiderados.

### 5.2.1 Validação da Queda de Tensão (*Voltage Dip*)

De acordo com a Tabela 3, a plataforma foi configurada para gerar um sinal com tensão nominal de 9,99 V, período de temporização de 30 ms (período da forma de onda de 40 ms) e amplitude da queda de tensão de 20%. Observou-se que o resultado estava de acordo com o esperado, conforme mostra a Figura 40.

Figura 40: Validação de queda de tensão

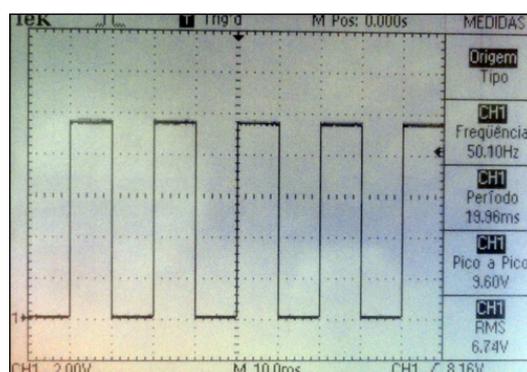


Fonte: O Autor (2010).

### 5.2.2 Validação da Interrupção de Tensão (*Short Interruption*)

A validação da interrupção de tensão foi feita com 9,99 V de tensão nominal e período de temporização de 20 ms. A Figura 41 mostra a forma de onda obtida, aparentemente também dentro do esperado.

Figura 41: Validação de pequena interrupção de tensão

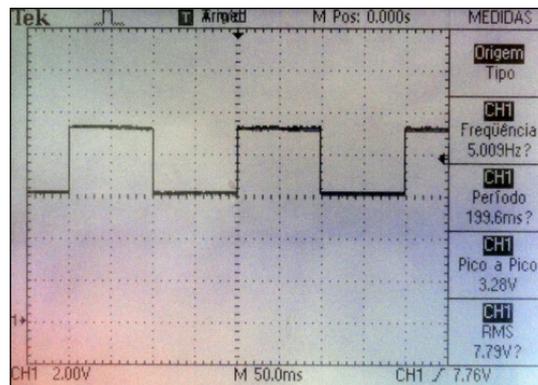


Fonte: O Autor (2010).

### 5.2.3 Validação da Variação de Tensão (*Voltage Variation*)

O último teste realizado foi o de variação de tensão. A plataforma foi configurada para gerar um sinal que variava 20% em torno do valor nominal da tensão, neste caso ajustada em 8,00 V. O período de temporização foi de 100 ms neste caso. A Figura 42 mostra o resultado do teste.

Figura 42: Validação de variação de tensão



Fonte: O Autor (2010).

Todos os resultados obtidos mostraram que a plataforma proposta conseguiu cumprir sua especificação e foi capaz de gerar ruído eletromagnético baseado na norma IEC 61000-4-29.

## 6 AVALIAÇÃO: ESTUDOS DE CASO

Conforme mencionado, a injeção de falhas por meio de PSD pode ser utilizada tanto para a realização de experimentos com o objetivo de avaliar a robustez de circuitos integrados e sistemas, bem como para avaliar técnicas de tolerância a falhas propostas na literatura. Sendo assim, após ter sua especificação validada, a plataforma foi avaliada através de dois estudos de caso.

O primeiro consistiu em um experimento, baseado em [32], que faz a comparação da robustez entre circuitos síncronos e assíncronos frente ao ruído eletromagnético conduzido. O segundo caso tratou da avaliação de uma técnica de tolerância a falhas baseada em *hardware*, desenvolvida por [43], que visa detectar falhas transientes que afetam o fluxo e o tempo de execução das tarefas de um sistema embarcado baseado em um sistema operacional de tempo real.

Em comum, os dois experimentos compartilharam a mesma plataforma de *hardware* durante os ensaios. Esta plataforma de ensaios é descrita a seguir.

### 6.1 PLATAFORMA DE ENSAIOS

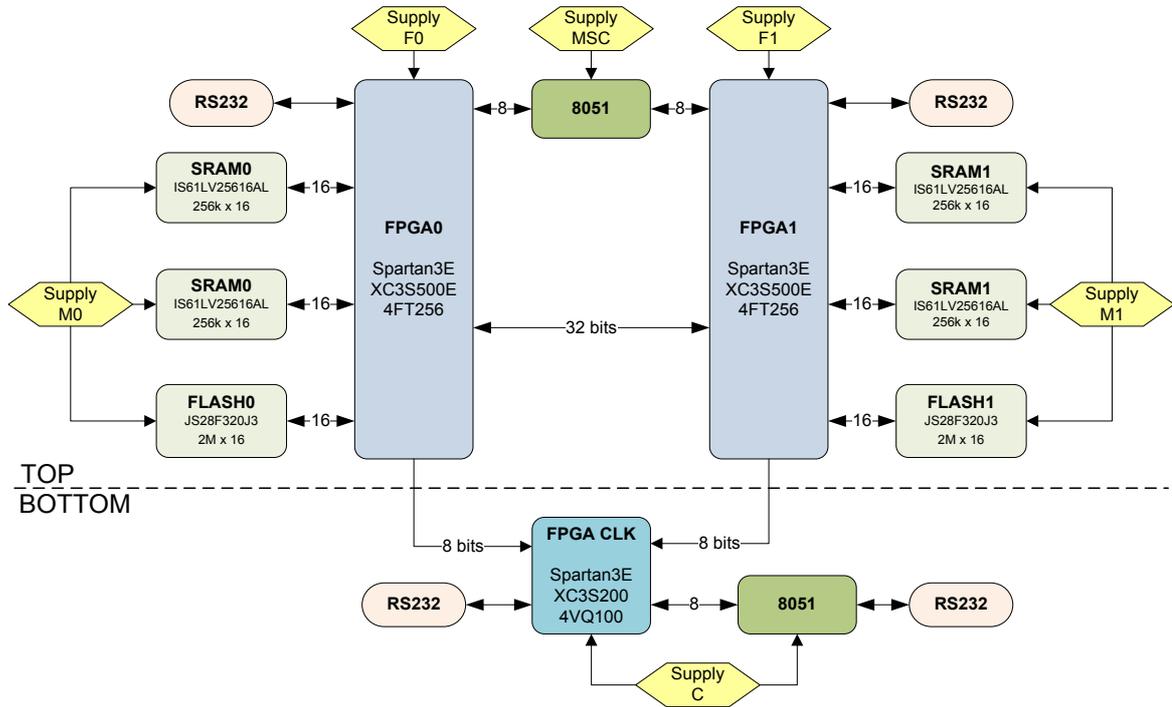
A plataforma utilizada nos experimentos foi desenvolvida no grupo SiSC [Mallmann, Moraes, Benfica, Vargas] e foi baseada nas normas IEC 62.132-1, 62.132-2 e 61.132-4, que dizem respeito ao teste de susceptibilidade de circuitos integrados à Interferência Eletromagnética Conduzida e Irradiada. Esta plataforma foi concebida especificamente para servir como base de hardware para ensaios envolvendo EMI/EMC e possui entradas de alimentação independentes para seus principais componentes. Estas características a tornam ideal para os estudos de caso realizados.

Durante o projeto desta plataforma de teste, foram tomados cuidados relativos ao atendimento das normas de teste de susceptibilidade a EMI em circuitos integrados. Seu diagrama esquemático genérico é apresentado na Figura 43 e fotos desta plataforma são mostradas nas figuras 44 e 45. Sua arquitetura dispõe dos seguintes componentes:

- 2 FPGA's Xilinx XC3S500E (500k portas, 256 pinos, 360 Kbits de block RAM interna, 20 multiplicadores e 4 DCM's);

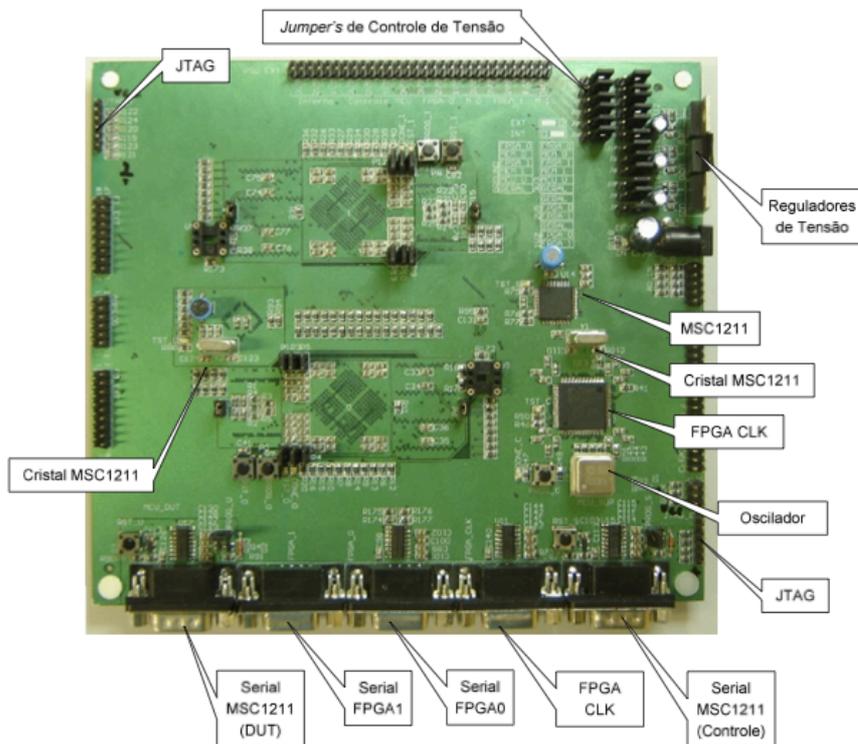
- 1 FPGA Xilinx XC3S200 (200k portas, 144 pinos, 216 Kbits de block RAM interna, 12 multiplicadores e 2 DCM's);
- 4 memórias SRAM IS61LV25616AL-10T, produzidas pela ISSI, que formam dois bancos de memória de 1Mbyte com configuração de 256x16 para cada FPGA;
- 2 memórias Flash Intel JS28F320J3 32Mbits e tempo de acesso de 110ns;
- 2 microcontroladores 8051 produzidos pela Texas Instruments;
- 3 osciladores de frequência igual a 49.152MHz (para cada FPGA);
- 2 cristais de frequência igual a 11.0592MHz (para cada microcontrolador);
- Comunicação serial padrão RS-232 (para cada FPGA e microcontrolador);
- 3 reguladores de tensão LM317 para o controle independente dos níveis de tensão de alimentação;
- 1 sensor de temperatura serial 12 bits LM74, produzido pela National Semiconductor;
- 4 botões e 4 LED's;
- 2 conectores JTAG independentes para programação e debug dos FPGA's;
- *Jumpers* para seleção e controle independente dos níveis de tensão alimentação;

Figura 43: Diagrama de blocos da plataforma de teste



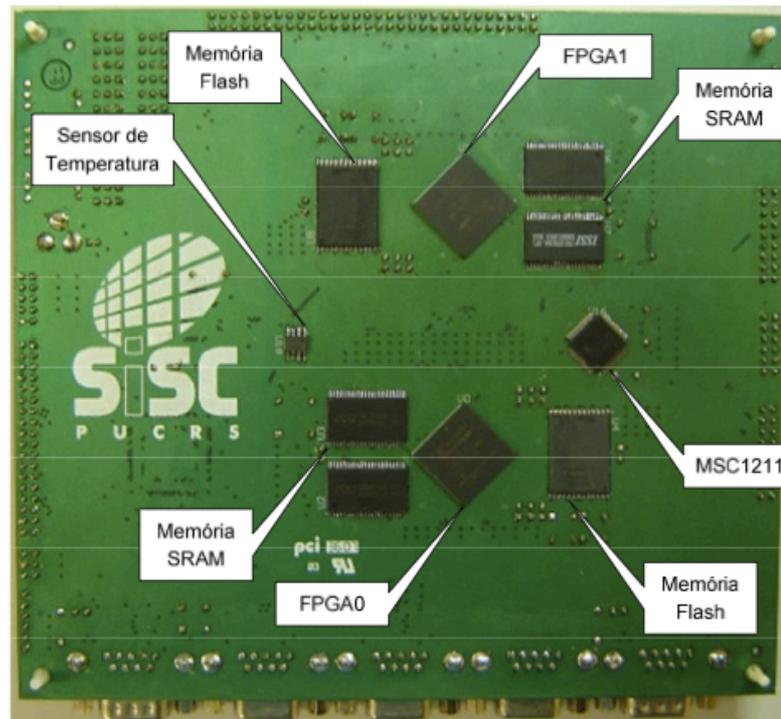
Fonte: Moraes (2008).

Figura 44: Vista Inferior da plataforma de teste



Fonte: Moraes (2008).

Figura 45: Vista superior da plataforma de teste



Fonte: Moraes (2008).

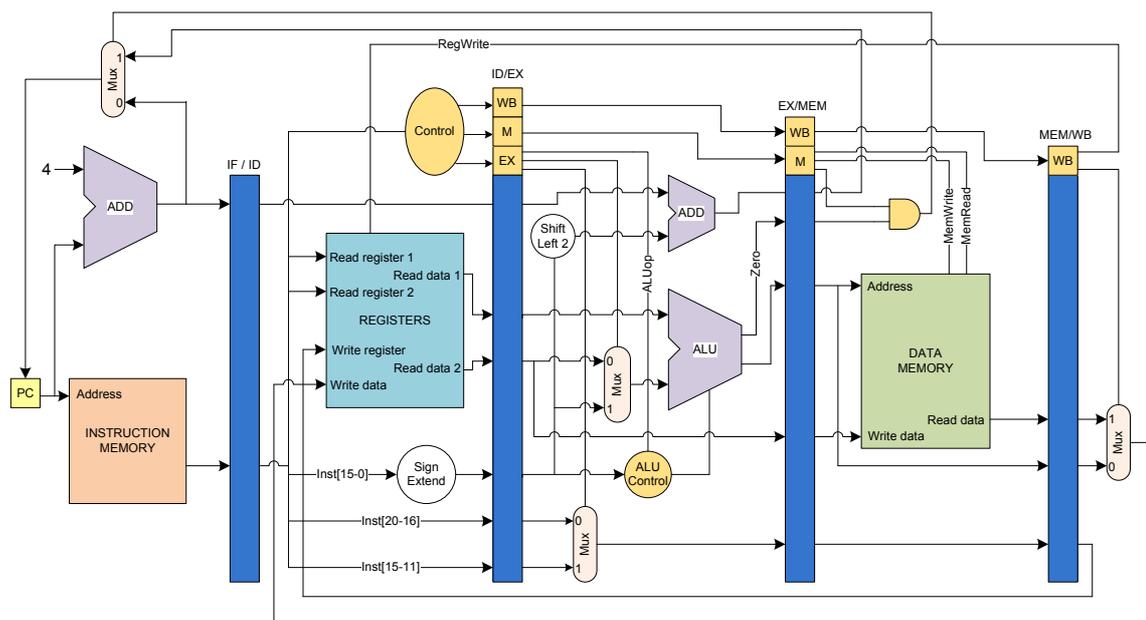
## 6.2 ESTUDO DE CASO 1 – PROCESSADORES SÍNCRONOS E ASSÍNCRONOS

Como primeiro estudo de caso, a plataforma de injeção de falhas foi avaliada através da comparação da robustez de duas versões, síncrona e assíncrona, de um processador frente ao ruído eletromagnético conduzido. Para realizar esta comparação foi utilizado um processador DLX. Neste caso, ruído baseado na norma IEC 64.000-4-29 foi injetado nas linhas de alimentação da plataforma de ensaios utilizada, baseada em lógica reconfigurável, executando o referido processador com o objetivo de observar e determinar a susceptibilidade à interferência eletromagnética conduzida dos dois paradigmas adotados. O experimento é descrito a seguir.

### 6.2.1 Processador DLX

Foi escolhido o processador DLX, utilizado no projeto ASPIDA (*ASynchronous oPen-source Ip of the DLX Architecture*), porque ele é disponível para uso acadêmico, possui descrição VHDL open-source e, principalmente, apresenta uma versão síncrona e outra assíncrona [32]. O DLX é um processador RISC, de 32 bits e com pipeline de 5 estágios, e que é descrito no livro de Hennessy and Patterson's, *Computer Architecture: A Quantitative Approach* [33]. Amplamente conhecido, e a sua arquitetura de pipeline se assemelha com outros processadores RISC, tais como MIPS [34] e ARM [35]. Um diagrama detalhado de seus estágios do *pipeline* é mostrado na Figura 46.

Figura 46: Processador DLX



Fonte: Hennessy; Patterson (1990).

### 6.2.2 Processador DLX ASPIDA

O processador ASPIDA DLX implementa um IP assíncrono da Arquitetura de Conjunto de instruções DLX (ISA) que incorpora o suporte para conversão para ISA (*Instruction Set Architecture*) e, portanto, pode ser facilmente convertido em qualquer

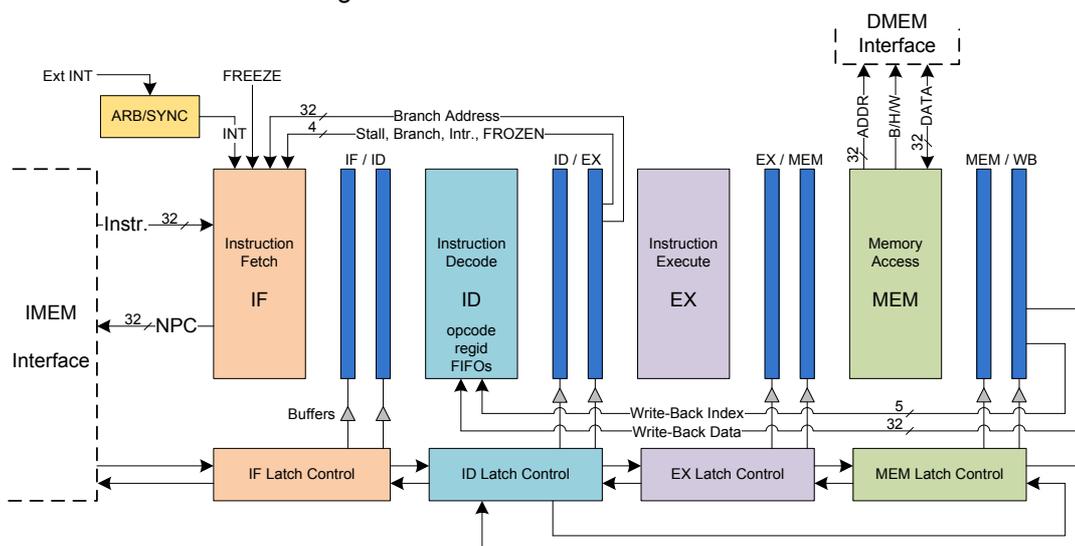
ISA RISC. O processador DLX assíncrono foi implementado com sucesso tanto em ASIC como em versões para FPGA [36].

O processador ASPIDA DLX (*open source*) tem suporte total para dados do tipo inteiro DLX ISA. As operações de ponto flutuante não são suportadas na versão atual do processador. O ASPIDA DLX contém duas interfaces de memória, de acordo com o modelo DLX original, que tem suporte para byte (8 bits - byte), meia-palavra (16 bits - half word) e palavra inteira (32 bits - full word). Os saltos (*branch*) seguem a semântica RISC convencional e necessitam de atraso, isto é, a instrução seguida pelo salto sempre é realizada. Também possui um co-processador de vetores interrupção, incluindo um registro de causa de interrupção e um registrador de exceção.

### 6.2.3 Processador DLX Assíncrono

No processo de dessincronização do DLX, o sinal de relógio global (*clock*) é retirado e é substituído por controladores de *handshaking*. Os *flip-flops* são substituídos por pares de *latches*. Nesta implementação, os *latches* que separam os estágios do caminho de dados são localmente controlados e responsáveis por produzir os sinais apropriados para que os dados se movam seguramente de um estágio do pipeline ao estágio seguinte (ver Figura 47).

Figura 47: Processador DLX assíncrono

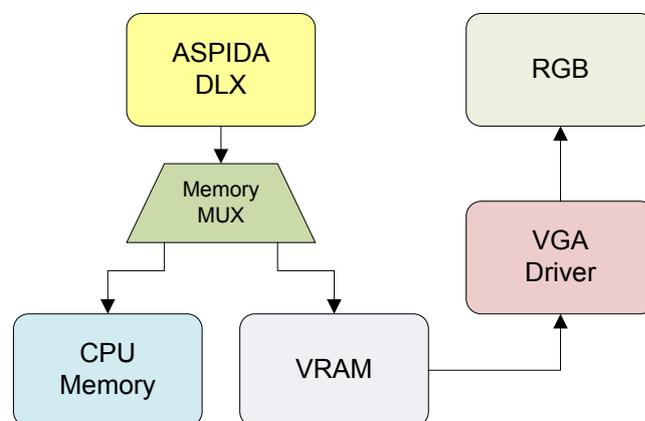


Fonte: Cortadella (2006).

### 6.2.4 Controle do Experimento

A descrição original do projeto ASPIDA DLX, disponível no website *OpenCore* na internet [36], consiste em uma interface para memória de instruções e dados para a CPU e outra para VRAM, além de uma interface para um controlador de vídeo do tipo VGA, como podemos ver na Figura 48, tendo o mapa de memória conforme a Tabela 7.

Figura 48: Processador ASPIDA DLX: sistema de demonstração



Fonte: Sotiriou (2005).

Tabela 7: Processador ASPIDA DLX: mapa de memória do sistema de demonstração

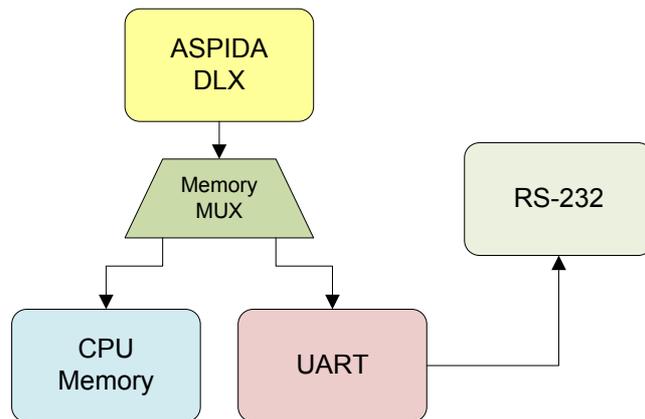
<b>Posição</b>	<b>Descrição</b>
0x0000	STACK
	Instruction Memory
	Data Memory
0x1000	Video Memory

Fonte: Cristofoli (2009).

A implementação realizada alterou este sistema, substituindo a interface de vídeo por uma interface UART, para o melhor registro dos eventos e comunicação com o mundo exterior. Como a memória de dados e instruções era pequena, permitindo apenas a execução de programas pequenos com no máximo 512 bytes, alterou-se também o tamanho da memória disponível, trocando-se os quatro componentes RAMB4\_S8\_S8 (Block RAM de 4 Kbits, com acesso por byte) por

RAMB16\_S9\_S9 (Block RAM 16 Kbits, com acesso por byte), aumentando assim o tamanho da memória para 2 Kbytes. Desta forma o sistema para ensaios ficou com a estrutura conforme a Figura 49 e o mapa de memória conforme a Tabela 8.

Figura 49: Processador ASPIDA DLX: sistema modificado para o ensaio



Fonte: Sotirou (2005).

Tabela 8: Processador ASPIDA DLX: mapa de memória do sistema de ensaio

<b>Posição</b>	<b>Descrição</b>
0x0000	STACK Instruction Memory Data Memory
0x2000	UART Memory

Fonte: Cristofoli (2009).

Neste ponto o core do processador ASPIDA DLX, em ambas as versões - síncrona e assíncrona, foram mantidos tal e qual disponibilizados na página do projeto na internet do *open core* [37], apenas alterando-se a capacidade da memória e a interface de saída para uma UART [32]. Na próxima seção serão apresentados os ensaios realizados para análise da robustez do circuitos síncronos e assíncronos, com os seus respectivos resultados.

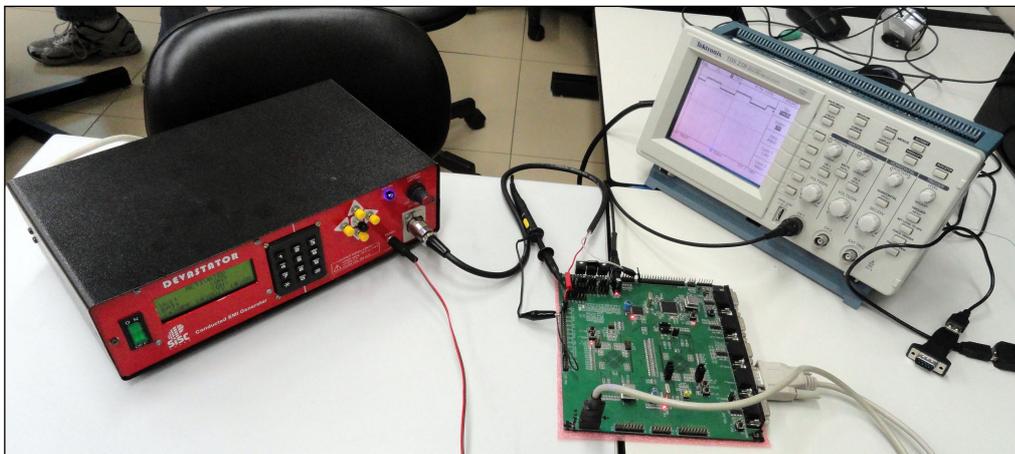
### 6.2.5 Ensaio Realizados

O algoritmo escolhido para ser empregado durante a realização dos ensaios deste estudo de caso é uma aplicação acadêmica clássica [38] [39] [40] [41], e possui um elevado índice de operações de multiplicação para a sua execução, bem como vários saltos. Isto foi decisivo para esta escolha, já que pretendemos avaliar o desempenho e a robustez dos processadores síncrono e assíncrono e o processador DLX utilizado opera somente com dados do tipo inteiro. Diante destas necessidades e restrições foi desenvolvido um programa teste que executa multiplicação de matrizes (MM), ordem 10 X 10 operando com números inteiros.

Devido ao fato do sistema não possuir a funcionalidade para carga do software para a execução pelo processador, foi necessária a inclusão dos parâmetros de inicialização dos blocos de memória contendo o código de máquina do software para o ensaio. Para compilar as aplicações foi utilizado o compilador GCC (*GNU Compiler Collection*), conforme disponibilizado na internet na página do projeto no *Open Core* [36]. Desta forma, foi necessário gerar um *bitstream* para cada versão de software utilizada durante os ensaios [32].

Foram realizados ensaios de interferência eletromagnética conduzida, especificamente variação de tensão de alimentação, cujos procedimentos e configurações serão apresentados em sequencia. A Figura 50 apresenta o setup de ensaios utilizado.

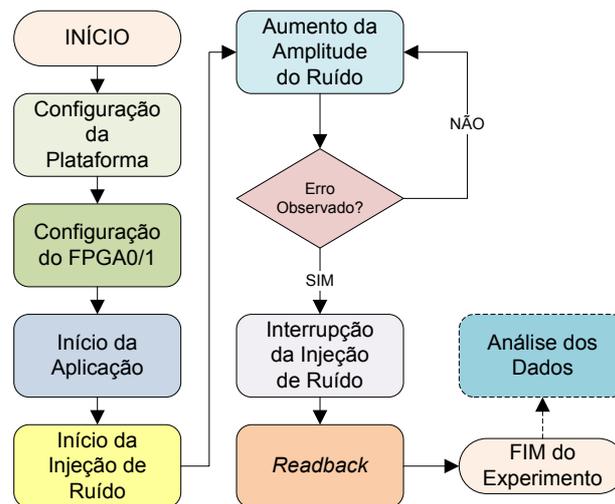
Figura 50: Setup de ensaios



Fonte: O Autor (2010).

A Figura 51 apresenta a seqüência de procedimentos adotados nos ensaios de redução ou queda dos níveis de tensão de alimentação. A descrição dos procedimentos encontra-se abaixo:

Figura 51: Sequência de procedimentos dos ensaios



Fonte: O Autor (2010).

1. **Início:** A plataforma de ensaios é conectada à estação de monitoramento (estação de trabalho) através de um canal de comunicação serial (RS-232), às respectivas fontes de alimentação e, em seguida, é energizada.
2. **Configuração do Injetor de Ruído:** O gerador é configurado inicialmente para fornecer um sinal baseado em variação de tensão, com tensão nominal de 1,20 V, amplitude de variação inicial de 0% e período de temporização de 20 ms. Após a configuração o gerador é colocado em modo *standby*;
3. **Configuração FPGA0 ou FPGA1:** o processador DLX é carregado no FPGA 0 ou 1 via cabo JTAG através do software *Impact*, incluindo o software aplicativo do ensaio, na versão assíncrona ou síncrona;
4. **Execução das Aplicações:** a aplicação de teste (multiplicação de matrizes) é inicializada pelo botão de reset da plataforma de ensaio.
5. **Redução dos Níveis de Tensão:** ruído baseado em variação de tensão (conforme Tabela 3) começa a ser aplicado. A amplitude do ruído passa a ser aumentada através da parametrização do sinal do gerador de ruídos, desde 0%, até o momento em que as saídas do sistema sob ensaio

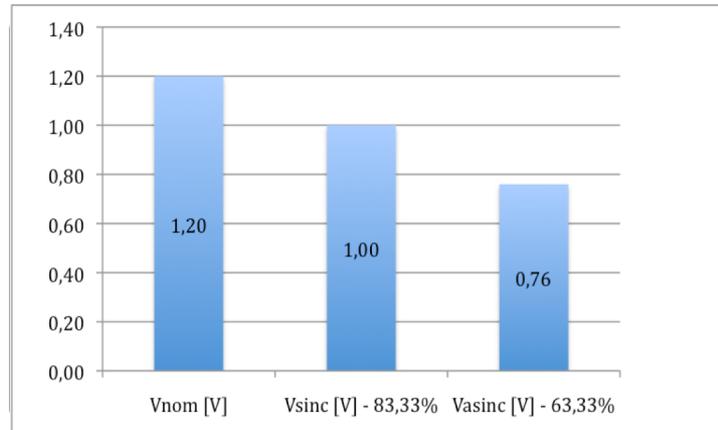
apresentem erros. O nível da tensão de alimentação do core do FPGA sob ensaio (FPGA0 ou FPGA1) nunca ultrapassa 1,32 V porque este é o valor máximo suportado pelo componente;

6. **Retorno aos Níveis de Tensão Nominais:** o nível da tensão de alimentação do core do FPGA ensaiado (FPGA0 ou FPGA1) é restabelecido para o valor nominal de 1,20 V por meio de intervenção no gerador de ruído;
7. **Readback:** é realizado processo de *readback* através do software *Impact*, pelo qual efetua-se a comparação entre o *bitstream* carregado e o *bitstream* padrão para a verificação de ocorrência de falhas no hardware (processador DLX) executado no FPGA sob ensaio.
8. **Salva Arquivo:** Os arquivos de saída (*logs*) gerados nos testes são salvos e os resultados registrados na planilha de ensaios, com a informação se o *readback* apresentou ou não diferenças entre o *bitstream* padrão e o *bitstream* carregado, e o valor do nível de redução ou queda de tensão de alimentação onde começaram as ocorrências de erros na saída do sistema.

### 6.2.6 Resultados

A avaliação das duas versões – síncrona e assíncrona – do processador DLX foi feita a partir de 25 rodadas de experimentos que injetaram ruído do tipo *voltage variation* (tabela 3) nas linhas de alimentação do processador. Em outras palavras, o nível nominal da tensão de alimentação da plataforma de ensaios foi de 1,20 V e durante os experimentos foi aplicada uma variação crescente e percentual de ruído nesta tensão. É importante notar que o limite superior da variação foi limitado em 1,32 V de acordo com a especificação da máxima tensão permitida para o FPGA, com o objetivo de evitar danos permanentes ao componente. A partir dos resultados obtidos notou-se que, em todas as rodadas, o valor da tensão era aproximadamente constante no momento em que ocorriam os erros. Para a versão síncrona este valor foi de 1000 mV e para a assíncrona de 760 mV. Os resultados foram tabulados e organizados na forma do gráfico da Figura 52.

Figura 52: Gráfico comparativo das tensões de falha (redução de tensão)



Fonte: O Autor (2010).

A coluna da esquerda do gráfico representa a tensão nominal de alimentação do *core* do DUT, a coluna do meio representa a tensão na qual os erros começaram a se manifestar na versão síncrona do processador e, por fim, a coluna da direita mostra a tensão na qual o processador assíncrono começou a apresentar problemas. O processador, em sua versão síncrona, manteve-se plenamente funcional até um aumento de 16,67% na amplitude do ruído injetado na linha de alimentação, ou cerca de 1000 mV. Isto representa 83,33% do valor da tensão nominal (1,20 V) de operação do *core* do FPGA. Em contrapartida, quando foi aplicado o mesmo procedimento na versão assíncrona do processador DLX, esse manteve-se funcional até uma amplitude de ruído de 36,67%, ou 760 mV, o que representa 63,33% do valor da tensão nominal de operação do *core* do FPGA.

Isto mostra claramente que a versão assíncrona do processador DLX é mais robusta frente ao ruído eletromagnético, porque conseguiu manter-se funcional em uma tensão de alimentação significativamente menor do que sua versão síncrona, quando submetido a ruído eletromagnético conduzido.

## 6.3 ESTUDO DE CASO 2 – AVALIAÇÃO DE TÉCNICA DE DETECÇÃO DE FALHAS

O segundo estudo de caso utilizado para avaliar a plataforma de injeção de falhas consistiu em um experimento para avaliar a capacidade de detecção de falhas de um núcleo I-IP (*Infrastructure Intellectual-Property*), incorporado a um sistema embarcado que utiliza um RTOS. A finalidade deste núcleo é de monitorar passivamente o fluxo de execução de tarefas de um sistema operacional de tempo real, com o intuito de detectar falhas de execução dessas tarefas.

Para a implementação prática do sistema, foi escolhido o processador Plasma CPU, que é descrito em linguagem VHDL. Como sistema operacional de tempo real foi utilizado o Plasma RTOS, escrito em linguagem C e de código fonte aberto. O processador e o RTOS foram implementados, juntamente com o núcleo I-IP - chamado de RTOS-G, na plataforma de ensaios utilizada. A seguir estes principais componentes são descritos.

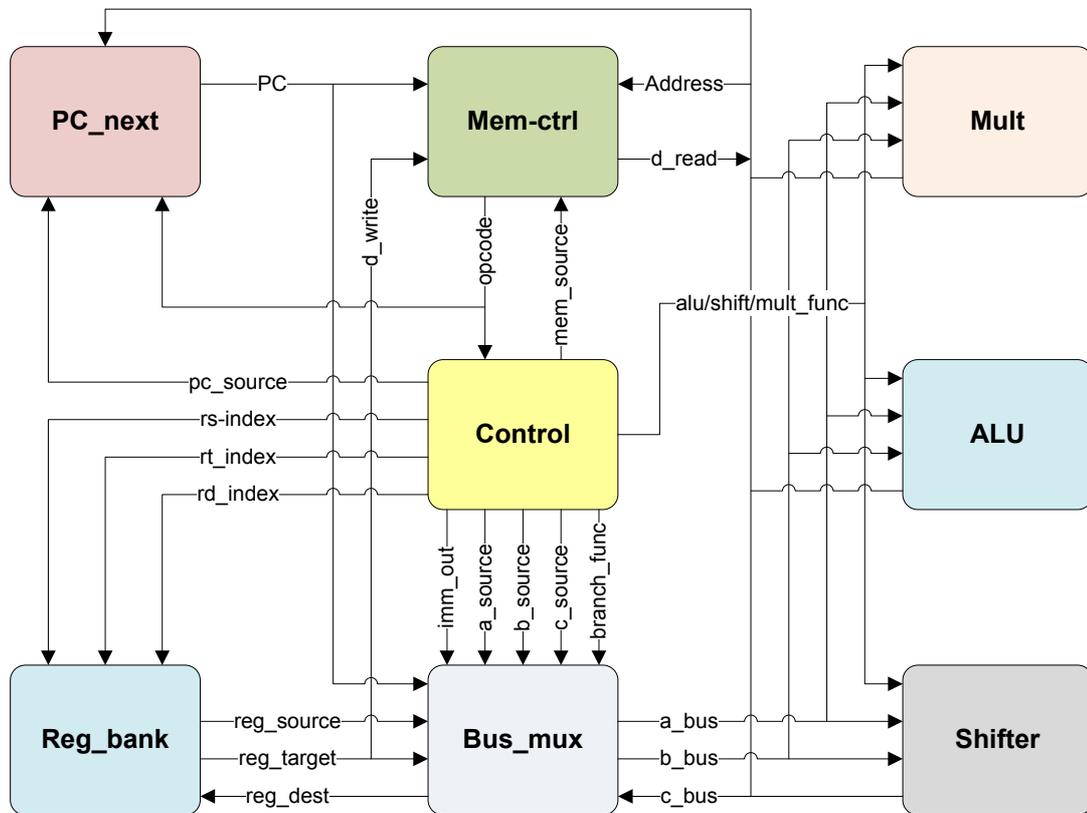
### 6.3.1 Microprocessador Plasma CPU

O Plasma CPU é um microprocessador desenvolvido por Steve Rhoads e é distribuído livremente através do site Open Cores ([www.opencores.org](http://www.opencores.org)). Entre suas principais características podemos citar as seguintes:

- Arquitetura Von Neumann RISC de 32 bits;
- Implementação em linguagem de descrição de *hardware* VHDL;
- Controlador de interrupção;
- UART (*Universal asynchronous receiver/transmitter*);
- Controlador de memórias SRAM e DDR SDRAM;
- Controlador *Ethernet*;
- Compatível com as instruções MIPS I™, exceto operações *load* e *store* desalinhadas.

O processador é implementado com *pipeline* de 2 ou 3 estágios. A figura 53 apresenta o diagrama de blocos da arquitetura básica do Plasma CPU.

Figura 53: Arquitetura do Plasma CPU



Fonte: <http://opencores.org/>

### 6.3.2 Sistema Operacional Plasma RTOS

O Plasma RTOS é um sistema operacional também desenvolvido por Steve Rhoads e foi concebido para ser executado no Plasma CPU. Algumas de suas características suportadas são citadas abaixo:

- Chaveamento preemptivo de contexto;
- Interrupções;
- *Threads*;
- Semáforos;
- *Timers*;
- *Heaps*;

Este sistema operacional possui cerca de 1500 linhas de código C e 240 linhas de código *assembly*, ocupando menos de 8 kb após compilado. Possui ainda

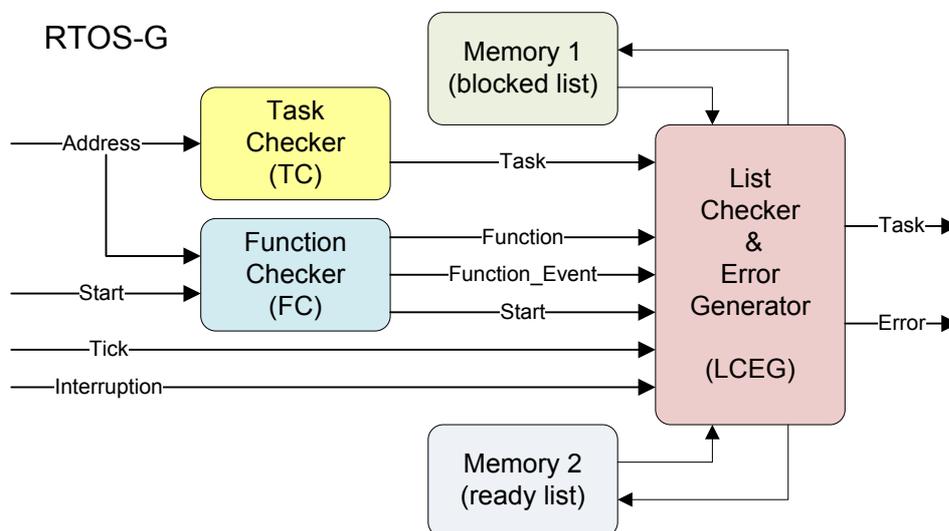
bibliotecas ANSI-C e de ponto flutuante, além de *driver* de porta serial, que adicionam cerca de 7 kb ao código executável.

O Plasma RTOS provê um mecanismo básico de monitoramento do fluxo de execução das tarefas e consegue sinalizar problemas específicos, tais como violações de temporização e estouro de pilha. Isto é realizado por meio da função *Assert()* e permite ao RTOS enviar uma mensagem de erro por meio de sua saída padrão.

### 6.3.3 RTOS-G

O núcleo I-IP RTOS-G, desenvolvido por [43], é responsável pelo monitoramento do funcionamento do sistema embarcado. Baseado em *hardware* e descrito em VHDL, ele é anexado ao barramento de dados do processador e monitora o tráfego de endereços entre este e a memória. Ele é composto por cinco blocos funcionais, ilustrados na figura 54 e descritos em seguida:

Figura 54: Estrutura do núcleo I-IP



Fonte: Silva (2011).

- **Task Checker (TC):** identifica a tarefa em execução baseado no endereço acessado pelo processador durante a execução da aplicação;
- **Function Checker (FC):** indica as funções executadas durante o processo de escalonamento das tarefas;

- **List Checker & Error Generator (LCEG):** classifica todas as tarefas em *ready* ou *blocked* e verifica algoritmo de escalonamento;
- **Memory 1 & Memory 2:** são duas memórias que armazenam as listas de *ready* e *blocked*.

O RTOS-G monitora os sinais de *Start*, *Tick* e *Interrupt*, bem como os endereços da memória RAM que são acessados durante a execução da aplicação. O bloco TC compara, a cada ciclo de *clock*, o endereço presente no barramento com o endereço associado a cada tarefa. Em caso positivo ele gera o sinal *Task* com a identificação da tarefa. O bloco LCEG verifica a ordem de execução do processo de escalonamento das tarefas e identifica o evento que disparou o processo de escalonamento - se é um sinal *tick*, requisição de I/O ou aquisição de semáforo - gerando o sinal *Function\_Event*. Com base nestas informações é feita a verificação da ocorrência de erros de escalonamento do sistema embarcado.

#### 6.3.4 Programas Teste

Foram executados cinco diferentes programas teste, que se diferenciavam em complexidade e que exploraram a maior parte dos recursos do Plasma RTOS, como filas de mensagens, semáforos, MUTEX e interrupções.

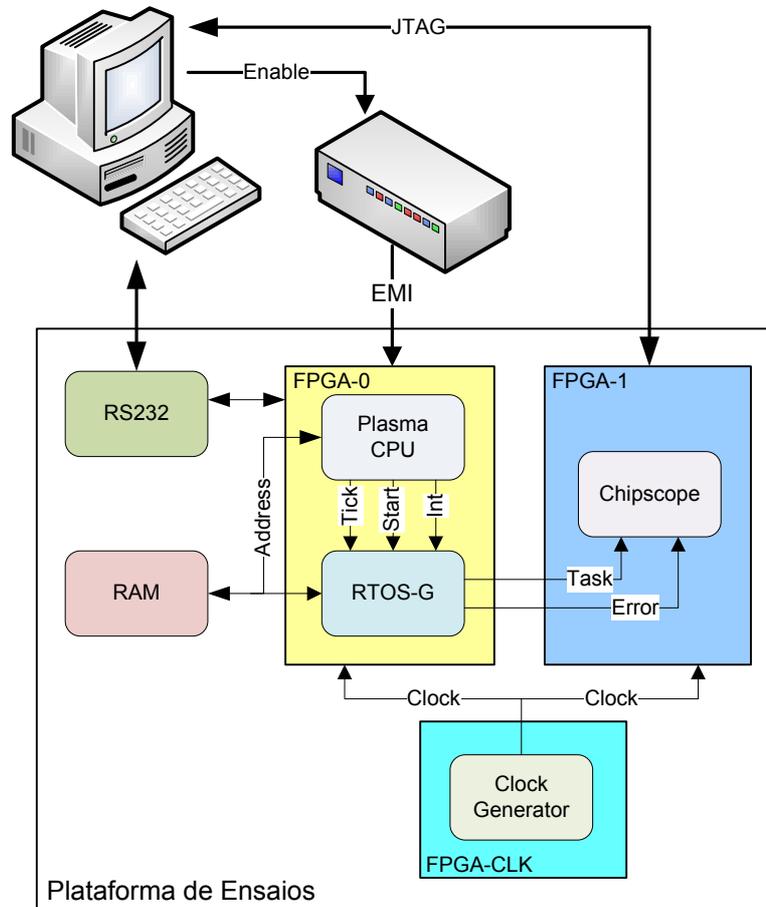
- **Programa Teste 1:** Oito tarefas acessam e atualizam o conteúdo de uma variável global (VG) protegida por um semáforo. Uma VG global é acessada por uma interrupção, que tem prioridade máxima;
- **Programa Teste 2:** Quatro tarefas acessam e atualizam o conteúdo de uma VG protegida por um semáforo. Outras duas tarefas comunicam-se por uma fila de mensagens. Uma interrupção acessa a VG;
- **Programa Teste 3:** Duas tarefas acessam e atualizam o conteúdo de uma VG protegida por um semáforo. Outras duas tarefas comunicam-se por uma fila de mensagens. Outras duas tarefas atualizam uma segunda VG. Quatro tarefas acessam e atualizam o conteúdo de uma VG protegida por um MUTEX. Uma interrupção com prioridade máxima comunica-se com uma última tarefa por meio de uma fila de mensagens;

- **Programa Teste 4:** Quatro tarefas acessam e atualizam o conteúdo de uma VG protegida por um semáforo. Outras quatro tarefas acessam e atualizam o conteúdo de uma segunda VG; Uma tarefa de cada grupo de quatro acessam essas duas variáveis. Três outras tarefas comunicam-se com uma última por meio de uma fila de mensagens;
- **Programa Teste 5:** Uma interrupção comunica-se com uma tarefa via fila de mensagens. Esta tarefa comunica-se com outras duas tarefas por meio de outras duas filas de mensagens, que envia mensagens para outras sete tarefas.

### 6.3.5 Ensaio Realizados

A capacidade de detecção de falhas do RTOS-G em relação aos mecanismos nativos de detecção do RTOS foi avaliada por meio da utilização da plataforma de injeção de falhas, que injetou EMI no *setup* de testes, de acordo com a norma IEC 61000-4-29. Para a realização prática dos experimentos foi utilizada a plataforma de ensaios descrita em 6.1 e o *setup* de ensaios para este experimento é mostrado de forma esquemática na figura 55 e descrito a seguir.

Figura 55: Setup de ensaios.



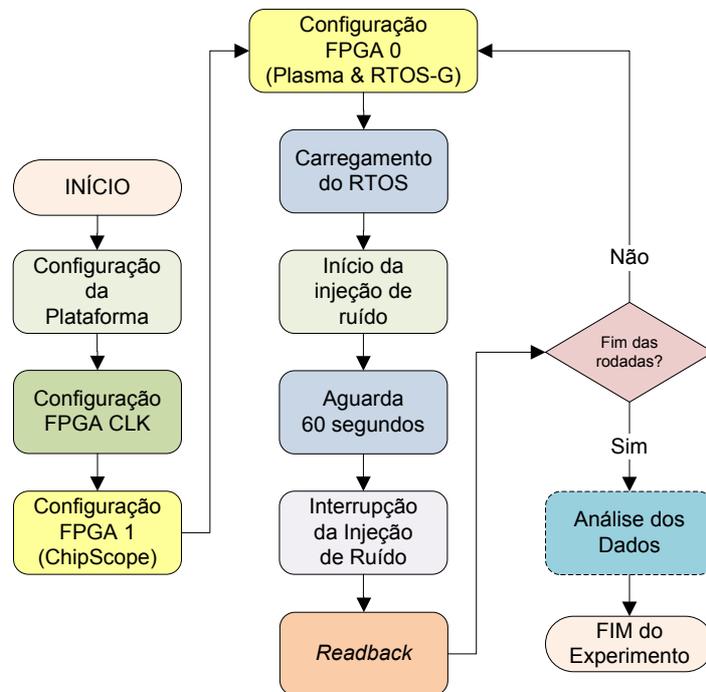
Fonte: O Autor (2010).

O FPGA-0 contém o processador Plasma, que roda os programas teste, e o RTOS-G, que monitora o fluxo de execução das tarefas. O FPGA-1, por sua vez, contém o ChipScope, que recebe os sinais *error* e *task* oriundos do FPGA-0. O terceiro bloco, composto pelo FPGA-CLK, é encarregado de gerar o sinal de *clock* para o restante do sistema. Os sinais de erro gerados pelo próprio Plasma RTOS são enviados através da UART (RS232) para a estação de trabalho, onde é feito o controle do experimento.

As rodadas de experimentos foram executadas de acordo com a norma mencionada e consistiram na aplicação de variações de tensão (*voltage dips*) na alimentação do *core* da FPGA-0. Sua tensão nominal é de 1,2 V e durante os experimentos a alimentação dos periféricos foram mantidas em seus valores nominais. A variação de tensão foi da ordem de 10% da tensão nominal com uma

frequência de 0,5 KHz. A figura 56 faz uma descrição esquemática do procedimento de execução de uma rodada de testes.

Figura 56: Fluxograma de realização de experimentos



Fonte: O Autor (2010).

- a) **Início:** A plataforma de ensaios é conectada à estação de monitoramento (PC) através de um canal de comunicação serial (RS-232) e via JTAG, às respectivas fontes de alimentação e, em seguida, é energizada;
- b) **Configuração do Injetor de Ruído:** O gerador é configurado inicialmente para fornecer um sinal baseado em variação de tensão, com tensão nominal de 1,20 V, amplitude de variação de 10% e frequência de 500 Hz . Após a configuração o gerador é colocado em modo *standby*;
- c) **Configuração da FPGA CLK:** o gerador de clock do sistema é programado no FPGA CLK para sincronizar as FPGAs 0 e 1;
- d) **Configuração da FPGA 1:** Programa o ChipScope para fazer o monitoramento dos sinais *Task* e *Error* e enviá-los, via interface JTAG, para a estação de trabalho;
- e) **Configuração da FPGA 0:** Programa o processador Plasma e o RTOS-G;

- f) **Carregamento do RTOS:** Carrega o RTOS na memória e inicia a execução do programa de teste;
- g) **Redução do Nível de Tensão:** ruído baseado em variação de tensão (conforme Tabela 3) começa a ser aplicado. A amplitude do ruído é fixa, neste caso, em 10%, baseado em experiências prévia;
- h) **Temporização:** Aguarda por 60 segundos antes de finalizar a injeção de ruído;
- i) **Retorno aos Níveis de Tensão Nominais:** O nível da tensão de alimentação do *core* do FPGA 0 é restabelecido para o valor nominal de 1,20 V;
- j) **Readback:** Os dados capturados pelo ChipScope e aqueles enviados pela serial são salvos;
- k) **Repetição:** São repetidas tantas rodadas quanto necessárias para obtenção de significância estatística para os experimentos;
- l) **Análise dos Dados:** Faz-se a análise do conteúdo dos dois arquivos obtidos. O primeiro é o arquivo com dados provenientes da conexão serial e o segundo com dados obtidos por meio do ChipScope. Busca-se, então, a ocorrência de erros detectados ou pelo RTOS (canal serial) ou pelo RTOS-G (ChipScope).

### 6.3.6 Resultados

Foram realizados 5000 rodadas de experimentos com os programas teste utilizados, sendo 1000 rodadas para cada um deles. Sempre que uma falha era detectada, tanto pelo RTOS como pelo RTOS-G, o experimento era dado como terminado. É importante observar que, apesar de tudo, não é possível controlar o número de falhas injetadas e que os experimentos os quais não tiveram falhas detectadas foram descartados. Os dados obtidos encontram-se na Tabela 9:

Tabela 9: Resultados do segundo estudo de caso

<b>Programa Teste</b>	<b>RTOS Kernel [%]</b>	<b>RTOS-G [%]</b>	<b>RTOS [%]</b>
PT-1	2,40	100	-
PT-2	25,9	100	-
PT-3	45,8	100	-
PT-4	60,4	100	-
PT-5	70,5	93,6	6,40
Média	41,0	98,7	6,40

Fonte: O Autor (2010).

A primeira coluna, mais a esquerda, identifica qual programa teste foi executado, enquanto que a segunda coluna mostra o percentual de falhas detectadas pelo *kernel* do RTOS. A terceira coluna, por sua vez mostra o percentual de falhas detectadas pelo I-IP RTOS-G enquanto que a quarta coluna mais a direita mostra o número de falhas que foram detectadas somente pelo *kernel* do RTOS.

O RTOS-G detectou 100% das falhas geradas enquanto eram rodados os programas teste 1, 2, 3 e 4. Durante a execução do programa teste 5, que era o de maior complexidade, somente 6,40% das falhas não foram detectadas pelo do RTOS-G. Na média, a capacidade de detecção de falhas nativa do RTOS foi de 41%, enquanto que a eficácia do RTOS-G foi de 98,7%. Estes números mostram que a plataforma de injeção de falhas conseguiu gerar uma determinada forma de onda que pudesse injetar falhas no sistema sob teste.

## 7 CONCLUSÃO

Atualmente, a confiabilidade e robustez de circuitos integrados e sistemas representam dois dos mais importantes desafios no projeto dos mesmos. Nesse contexto, surge a necessidade de novas metodologias de injeção de falhas capazes de gerarem e introduzirem o conjunto de falhas e/ou erros associado ao defeito físico que deve ser considerado durante avaliação de técnicas de tolerância a falhas bem como da robustez de circuitos integrados e sistemas.

Juntamente com a situação acima descrita, observa-se atualmente um aumento bastante significativo da hostilidade do meio onde circuitos integrados e sistemas estão inseridos. Sendo assim, esses dispositivos encontram-se expostos fundamentalmente à interferência eletromagnética, que por sua vez pode comprometer o correto funcionamento dos mesmos. Um mesmo dispositivo pode ter seu comportamento comprometido e alterado devido a sua susceptibilidade a interferência eletromagnética bem como interferir no funcionamento dos circuitos integrados e sistemas vizinhos.

Nesse contexto, uma plataforma de injeção de falhas baseada em hardware foi proposta com o objetivo de gerar interferência eletromagnética conduzida através de ruído nas linhas de alimentação do circuito ou sistema de acordo com a norma IEC 61000-4-29. Esta plataforma foi denominada de DEVASTATOR, para fins de identificação e divulgação. A plataforma de injeção de falhas foi devidamente validada através de uma série de testes funcionais que verificaram sua conformidade com a norma IEC 61000-4-29. Além disso, a plataforma foi avaliada e teve sua utilidade comprovada através de dois estudos de caso.

O primeiro, teve o objetivo de comparar a robustez de um circuito síncrono em relação a sua versão assíncrona quando expostos a EMI conduzida. Os experimentos realizados demonstraram que a implementação assíncrona do circuito adotado é significativamente mais robusta do que a versão síncrona do mesmo, o que vai de encontro com a literatura.

O segundo estudo de caso tratou de avaliar a capacidade de um núcleo I-IP em detectar falhas transientes no fluxo de execução de tarefas de um sistema embarcado que utiliza um RTOS. Os resultados evidenciaram que esse núcleo possui uma elevada cobertura de falhas, próxima a 100%, suplantando a eficácia da capacidade de detecção nativa do RTOS.

Através, portanto, da parametrização do sinal gerado durante os experimentos realizados, foi possível a obtenção de uma forma de onda capaz de gerar falhas que afetassem os ensaios. A flexibilidade de programação da plataforma tornou este processo ágil, e sua interface de automação de testes permitiu a execução de milhares de rodadas com nenhuma intervenção humana. As falhas geradas propagaram-se nos sistemas sob teste e foram observadas nas saídas dos mesmos, comprovando, assim, a utilidade do sistema proposto como plataforma de injeção de falhas por meio de interferência eletromagnética conduzida.

## 8 TRABALHOS FUTUROS

Futuras implementações deverão buscar, por meio do uso de moderna tecnologia eletrônica, o desenvolvimento do *driver* de potência, que é a porção crítica deste equipamento. A capacidade de corrente fornecida total bem como a frequência máxima do sinal de ruído que modula a componente DC dependem fundamentalmente deste estágio. A utilização de dispositivos que permitam uma operação com maior potência e velocidade, bem como o emprego de topologias de circuito que permitam controlar a impedância de saída serão um acréscimo importante à suas funcionalidades. A implementação de múltiplos canais de saída, operando de forma independente porém controlada, também facilitarão sobremaneira o teste de DUTs que necessitem de várias tensões de alimentação para operar.

Outro aspecto da plataforma que pode ser explorado é o aperfeiçoamento da interface com o usuário. O acréscimo de interfaces de comunicação mais elaboradas e a implementação de protocolos proprietários, permitirão a integração com sistemas e softwares de fabricantes já estabelecidos no mercado de equipamentos de teste, o que permitirá maior agilidade durante as sessões de experimentos.

Finalmente, não importam quais sejam os novos recursos, é imperativa a implementação de uma estrutura física modular, que segregue os principais blocos que compõem a plataforma em PCBs distintas. Desta forma, a evolução de determinado módulo não implicará em redesenho de todo o sistema.

## 9 REFERÊNCIAS

1. CHEN, H. C. ; LING, D. D. Power Supply Noise Analysis Methodology For Deep-Submicron VLSI Chip Design. In: 34TH ANNUAL DESIGN AUTOMATION CONFERENCE, 1997. **DAC'97 Proceedings of the 34th Annual Design Automation Conference**. New York, ACM, 1997. p. 638-643.
2. DE, V.; BORKAR, S. Technology And Design Challenges For Low Power And High Performance. In: INTERNACIONAL SYMPOSIUM LOW POWER ELECTRONICS AND DESIGN. 1999. **Proceedings of the International Symposium Low Power Electronics and Design**. 1999. p. 163–168.
3. ROY, K.; MUKHOPADHAY, S.; MEIMAND, H. M. Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits. **Proceedings of the IEEE**, v. 91, n. 2, p. 305-327, 2003.
4. MIREAMDI, G.; TORIN, J. Evaluating Processor-Behavior and Three Error-Detection Mechanisms Using Physical Fault-Injection. **IEEE Transactions on Reliability**, v. 44, n. 3, set. 1995.
5. HSUEH, M.; TSAY, T.; IYER, R. Fault Injection Techniques and Tools. **IEEE Computer**, v. 30, No. 4, pp. 75-82, 1997.
6. BIRNER, M.; HANDL, T. ARROW – A Generic Hardware Fault Injection Tool for NoCs. In: EUROMICRO CONFERENCE ON DIGITAL SYSTEM DESIGN. 2009. **Architectures, Methods and Tools**. 2009. p. 465-472.
7. MADEIRA, H. et al. “RIFLE – A General Purpose Pin-Level Fault Injector”.
8. ARLAT, J. et al. Comparison Of Physical And Software-Implemented Fault Injection Techniques. **IEEE Transactions on Computers**, v. 52, n. 9, p. 1115–1133, 2003.
9. International Electrotechnical Commission, “International Standard IEC 61000-4-29,2000”.
10. CARREIRA, J. V.; MADEIRA, H.; SILVA, J. G. Xception: a technique for the experimental evaluation of dependability in modern computers. **IEEE Transactions on Software Engineering**, v. 24, n. 2, p.125-136, fev. 1998.
11. SEUNGJAE, H.; SHIN, K. G.; ROSENBERG, H. A. DOCTOR: an integrated software fault injection environment for distributed real-time systems. In: Computer Performance and Dependability Symposium. 1995. **Proceedings**. 1995. p. 204-213.
12. KARLSSON, J. et al. Two Fault Injection Techniques for Test of Fault Handling Mechanisms. In: Test Conference. 1991. **Proceedings**. 1991. p. 140.
13. CARREIRA, J. V.; COSTA, D.; SILVA, J. G. Fault Injection Spot-Checks Computer System Dependability. **IEEE Spectrum**, v. 36, n. 8, p. 50-55, ago. 1999.

14. ARLAT, J.; CROUZET, Y.; LAPRIE, J. C. Fault Injection for Dependability Validation of Fault-Tolerant Computing Systems. *Fault-Tolerant Computing, 1989. FTCS-19. Digest of Papers., Nineteenth International Symposium on* , pp. 348-355, 21-23 Jun 1989.
15. HUTTER, M.; SCHMIT, J. M.; PLOS, T. Contact-Based Fault Injections and Power Analysis on RFID Tags. In: *European Conference on Circuit Theory and Design. 2009. Proceedings. 2009.* p. 409-412.
16. DJELLID-OUAR, A.; CATHEBRAS, G.; BANCEL, F. Supply Voltage Glitches Effects on CMOS Circuits. In: *International Conference on Design and Test of Integrated Systems in Nanoscale Technology. 2006. Proceedings. 2006.* p. 257-261.
17. TUMMELTSHAMMER, P.; STEININGER, A. Power Supply Induced Common Cause Faults-Experimental Assessment Of Potential Countermeasures. In: *IEEE/IFIP International Conference on Dependable Systems & Networks. 2009. Proceedings. 2009.* p. 449-457.
18. PRESTES, D. **Implementação de um Gerador de Interferência Eletromagnética Conduzida.** 2006. Monografia (Graduação em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2006.
19. BOSH, R. *Electromagnetic Compatibility – Definition and Need.* S. India: Suganya, 2004.
20. IEC International Electrotechnical Commission. *International Electrotechnical Vocabulary - Part 161 (60050-161).* Geneva, Switzerland, 1990. P 66, Norma Técnica.
21. JUNIOR, D. B. et al. Modeling and Simulation of Time Domain Faults in Digital Systems. In: *10th IEEE International On-Line Testing Symposium. 2004. Proceedings. 2004.* p. 5- 10.
22. PRADHAN, Dhiraj K. **Fault-Tolerant Computer System Design.** Prentice Hall, 1996.
23. BARDELL, P. H. *Built in Test for VLSI: Pseudorandom Techniques.* New York : s.n., 1987.
24. STROUD, E. C. *A Designer's Guide to Built-In Self-Test.* In: \_\_\_\_\_. Boston: Kluwer Academic Publishers, 2002. p. 15-27.
25. LAPRIE, J. C. Dependability: From concepts to limits. In: *IFIP International Workshop on Dependable Computing and its Applications. 1998, Johannesburg. Proceedings of the IFIP International Workshop on Dependable Computing and its Applications.* 1998. p. 108-126.
26. CORTNER, J. M. *Digital Test Engineering.* United States of America : Wiley-Interscience, 1987. pp. 1-27.

27. LAPRIE, J. C. Dependable Computing and Fault-Tolerance: Concepts and Terminology. **IEEE Proceedings**, New York, p. 2-11, 1985.
28. ANDERSON, T.; LEE, P. A. **Fault Tolerance - Principles and Practice**. Englewood Cliffs: Prentice-Hall, 1981.
29. WESTON, D. Eletromagnetic Compatibility: principles and applications. In: \_\_\_\_\_. New York: 2001. p. 1-17.
30. International Electrotechnical Commission, "International Standard IEC 61000-4-17,2000".
31. KIMMEL, W. D.; GERKE, D. D. Electromagnetic Compatibility in Medical Equipment: A Guide for Designers and Installers. USA : IEEE and Interpharm Press, Inc., 1995. pp. IEEE and Interpharm Press, Inc. ISBN 0-935184-80-5 and 0-7803-1160-4.
32. CRISTOFOLI, L. F. **Análise da Robustez dos Circuitos Assíncronos em Ambiente de Interferência Eletromagnética**. 2005. 148 f. Dissertação (Mestrado em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2005.
33. HENESY, J.; PATTERSON, D. **Computer Architecture: A Quantitative Approach**. San Mateo: Morgan Kaufmann, 1990.
34. MIPS Technologies, Inc. MIPS Technologies. 2008. Online. Disponível em: <<http://www.mips.com/>>.
35. ARM Corp. AMBA 2.0 Specification. 2007. Online. Disponível em: <<http://www.arm.com/products/solutions/AMBAHomePage.html>>.
36. C. SOTIRIOU, ASPIDA sync/async DLX Core: DLX ISA CPU with SYNCHRONOUS and ASYNCHRONOUS Implementations. Sep 2005. Online. Disponível em: <<http://www.opencores.org/projects.cgi/web/aspida/overview>>.
37. Opencores Community. Opencores. 2008. Online. Disponível em: <http://www.opencores.org>.
38. LOPES, D. C. **Estimação da Robustez de Sistemas Eletrônicos Via Injeção de Falhas por Interferências Eletromagnéticas**. 2005. 97 f. Dissertação (Mestrado em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2005.
39. BENFICA, J. D. **Plataforma para Desenvolvimento de SoC (System-on-Chip) Ro- busto à Interferência Eletromagnética**. 2007. Dissertação (Mestrado em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2007.
40. ROCHA, C. A. **Monitoramento do Fluxo de Controle de Processadores Embarcados Baseado em Profiling de Software**. 2007. Dissertação (Mestrado em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2007.

41. PICCOLI, L. B. **Soluções Híbridas de Hardware/Software para a Detecção de Erros em Systems-on-Chip (Soc) de Tempo Real.** 2006. 160 f. Dissertação (Mestrado em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2006.
42. NOURANI, M.; ATTARHA, A. Signal Integrity: Fault Modeling and Testing in High-Speed SoCs. **Journal of Electronic Testing**, v. 18, p. 539-554, ago. 2002.
43. SILVA, D. S. **Técnica de Detecção de Falhas de Escalonamento de Tarefas em Sistemas Embarcados Baseados em Sistemas Operacionais de Tempo Real.** 2010. 78 f. Dissertação (Mestrado em Engenharia Elétrica) - Faculdade de Engenharia, Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Porto Alegre, 2010.

## 10 APÊNDICES

### 10.1 PATENTE

A plataforma apresentada nesta dissertação foi patenteada pela PUCRS junto ao Instituto Nacional de Propriedade Intelectual (INPI) sob número PI0705324-0 e está disponível para licenciamento através de seu Escritório de Transferência de Tecnologia (ETT - <http://www.pucrs.br/ett/>). O ETT é o setor da Pró-Reitoria de Pesquisa e Pós-Graduação da Pontifícia Universidade Católica do Rio Grande do Sul responsável pela gestão do patrimônio intelectual e promoção da transferência dos resultados de pesquisa da PUCRS.

Uma cópia da página do catálogo de patentes da PUCRS (ano referência: 2009) que faz referência à plataforma é mostrada na figura 57.

Figura 57: Página do catálogo de patentes da PUCRS

## GERADOR PARAMETRIZÁVEL DE RUÍDO ELETROMAGNÉTICO CONDUZIDO PARA TESTE DE CIRCUITOS INTEGRADOS

**Inventores**  
Fabian Luis Vargas  
Darcio Pinto Prestes

**Pedido de Patente junto ao INPI**  
PI 0705324-0

**Data do Depósito**  
03/10/2007

**Unidade Acadêmica**  
Faculdade de Engenharia

**Titular do Direito**  
PUCRS

**Descrição e Aplicação**  
Esta invenção trata de um objeto de pré-teste para a certificação de equipamentos eletrônicos. Seu funcionamento se dá através da geração de um sinal de ruído eletromagnético conduzido e controlado na entrada de dados, ou de alimentação de sistemas eletrônicos em fase de desenvolvimento. No gerador, os diversos tipos de ruídos de interferência eletromagnética (EMI) podem ser pré-programados pelo fornecedor do equipamento, deixando ao engenheiro de teste, da empresa fabricante, a única tarefa de selecionar os diferentes tipos de ruído entre aqueles pré-programados para então, realizar o ensaio propriamente dito.

O equipamento proporciona, portanto, a redução do tempo e do custo de projeto de equipamentos eletrônicos que, em sua maioria, são projetados sem levar em consideração nenhum parâmetro de compatibilidade eletromagnética. Além disso, a utilização deste gerador de ruídos é unicamente para pré-qualificar sistemas eletrônicos à EMI. As partes de hardware e software, que compõem o equipamento, são bastante simples, de baixo custo e facilmente encontráveis no mercado brasileiro, caso se deseje fabricar ou substituir partes de hardware.

**Engenharias**



ETT - Catálogo de Tecnologias 2009.indd 45



**ett**  
Transferência de Tecnologia  
Catálogo de Tecnologias

16/10/2009 15:40:12

Fonte: ETT – PUCRS (2010).

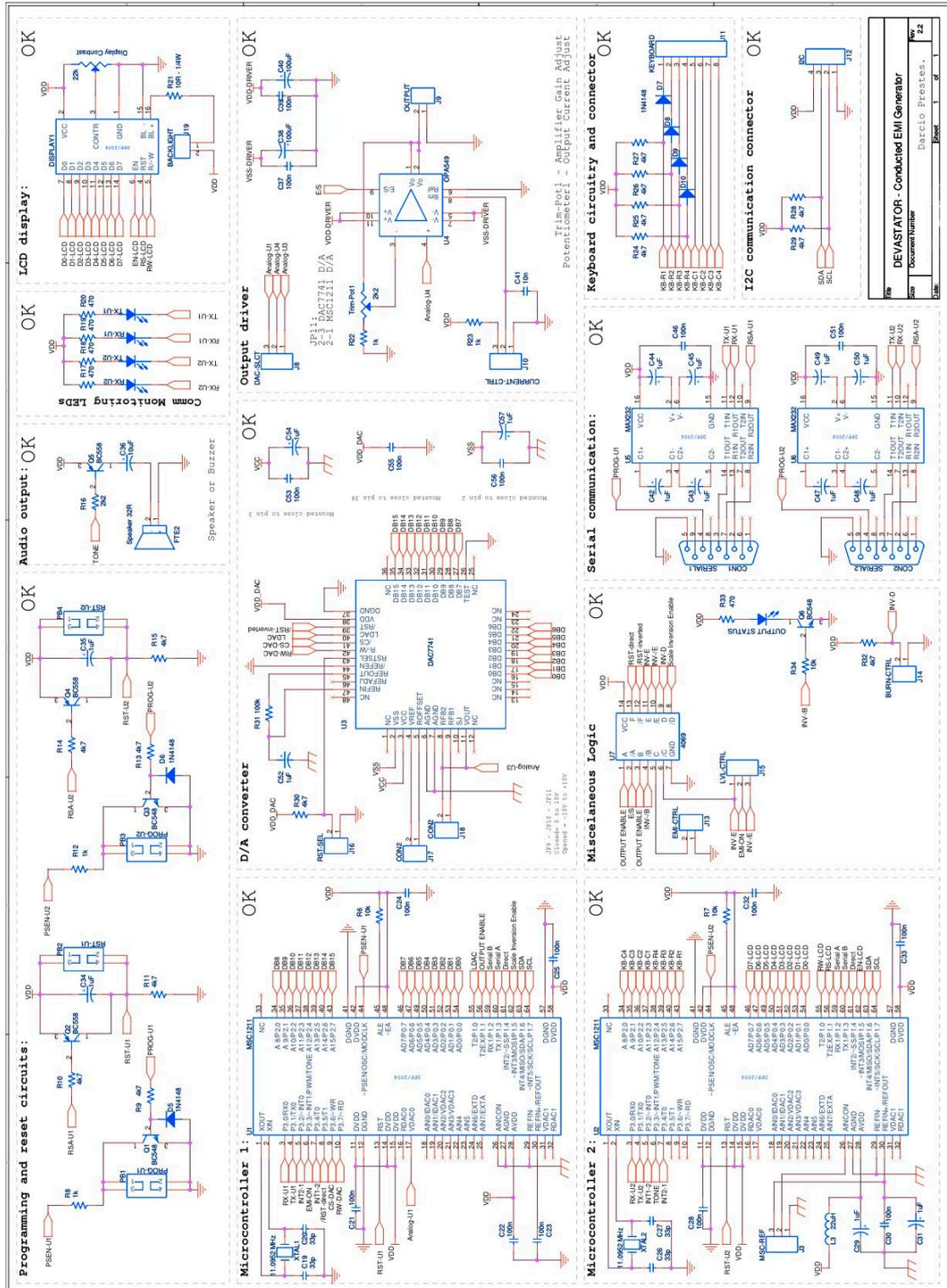
## 10.2 PUBLICAÇÕES

Relação de artigos científicos do autor publicados em revistas e apresentados em workshops:

1. LAVRATTI F., PINTO A. R., PRESTES D., BOLZANI L., VARGAS F., MONTEZ C., Towards a Transmission Power Self-Optimization in Reliable Wireless Sensor Networks, 11th IEEE Latin American Test Workshop, 2010.
2. VARGAS, F. ; BOLZANI, L. ; BRUM, D. B. ; PRESTES, D. P. . Appending On-Line Fault Detection Mechanisms into Application Code to Handle EMI in Embedded Electronics: a Case Study. *Ingeniería Electrónica, Automática y Comunicaciones*, v. XXV, p. 82-90, 2004.
3. VARGAS, F. ; CAVALCANTE, D. ; GATTI, E. ; PRESTES, D. P. ; LUPI, D. ; RHOD, E. . EMI-Based Fault Injection.. In: 6th IEEE Latin American Test Workshop - LATW'05, 2005, Salvador, BA - Brazil. Proceedings of the 6th IEEE Latin American Test Workshop - LATW'05. Los Alamitos, CA - USA : IEEE Computer Society Press, 2005. v. único. p. 91-96.
4. VARGAS, F. ; CAVALCANTE, D. ; GATTI, E. ; PRESTES, D. P. ; LUPI, D. . On the Proposition of an EMI-Based Fault Injection Approach. In: 11th IEEE International On-Line Testing Symposium - IOLTS'05, 2005, Saint-Raphael - France. Proceedings of the 11th IEEE International On-Line Testing Symposium - IOLTS'05. Los Alamitos, CA - USA : IEEE Computer Society Press, 2005. v. único. p. 207-208.
5. VARGAS, F. ; HERNANDEZ, F. ; GARCIA, L. ; PRESTES, D. P. . Integrating Latin American R&D Groups Around EMI Std-Compliance Test Equipments and Setup Procedures. In: X Workshop IBERCHIP, 2004, Cartagena - Colombia. Proceedings of the 10th IBERCHIP. v. único. p. 88-88.
6. HERNANDEZ, F. ; VARGAS, F. ; GARCIA, L. ; CAVALCANTE, D. ; PRESTES, D. P. ; LUPI, D. . Microprocessor Error Rate Estimation Based on IC International Standards. In: EMC Europe, 2004, Eindhoven. Proceedings of the EMC Europe 2004. Los Alamitos, CA - USA : IEEE Computer Society Press, 2004. v. único.
7. VARGAS, F. ; BRUM, D. B. ; PRESTES, D. P. ; BOLZANI, L. ; LETTNIN, D. . On the Mitigation of Conducted Electromagnetic Immunity by Means of SW-Based Fault Handling Mechanisms. In: 4th IEEE Latin American Test Workshop - LATW'03, 2003, Natal, RN - Brazil. Proceedings of the 4th IEEE Latin American Test Workshop - LATW'03. Los Alamitos, CA - USA : IEEE Computer Society Press, 2003. v. único. p. 130-135.
8. VARGAS, F. ; BRUM, D. B. ; PRESTES, D. P. ; BOLZANI, L. ; LETTNIN, D. ; RODRIGUES, G. M. . On the Study of the Effectiveness of SW-Based Fault Handling Mechanisms to Cope with IC Conducted Electromagnetic Interference. In: IX Workshop IBERCHIP, 2003, La Havana. Proceedings of the IX Workshop IBERCHIP, 2003. v. único. p. 73-73.
9. VARGAS, F. ; BRUM, D. B. ; PRESTES, D. P. ; BOLZANI, L. ; RHOD, E. ; REORDA, M. S. . Introducing SW-Based Fault Handling Mechanisms to Cope with EMI in Embedded Electronics: are they a good remedy?. In: 9th IEEE Internacional On-Line Testing Symposium - IOLTS'03, 2003, Kos Island - Greece. Proceedings of the 9th Internacional On-Line Test Symposium - IOLTS'03. Los Alamitos, CA - USA : IEEE Computer Society Press. v. único. p. 163-163.
10. VARGAS, F. ; LETTNIN, D. ; BRUM, D. B. ; PRESTES, D. P. . A New Learning Approach to Design Fault Tolerant ANNs: Finally a Zero HW-SW Overhead. In: 11th IEEE Asian Test Symposium - ATS'02, 2002, Guam - USA. Proceedings of the 11th IEEE Asian Test Symposium - ATS'02. Los Alamitos, CA - USA : IEEE Computer Society Press, 2002. v. único.

# 10.3 DIAGRAMA ESQUEMÁTICO

Figura 58: Diagrama esquemático da plataforma



Fonte: O Autor (2010).

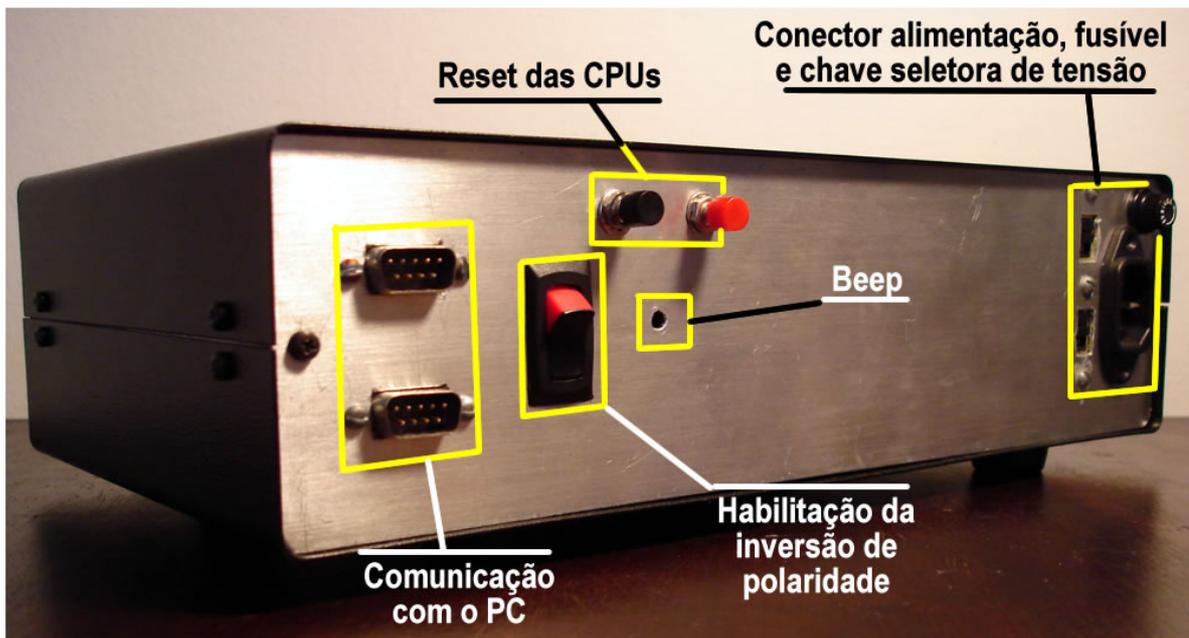
10.4 FOTOGRAFIAS

Figura 59: Vista frontal da plataforma



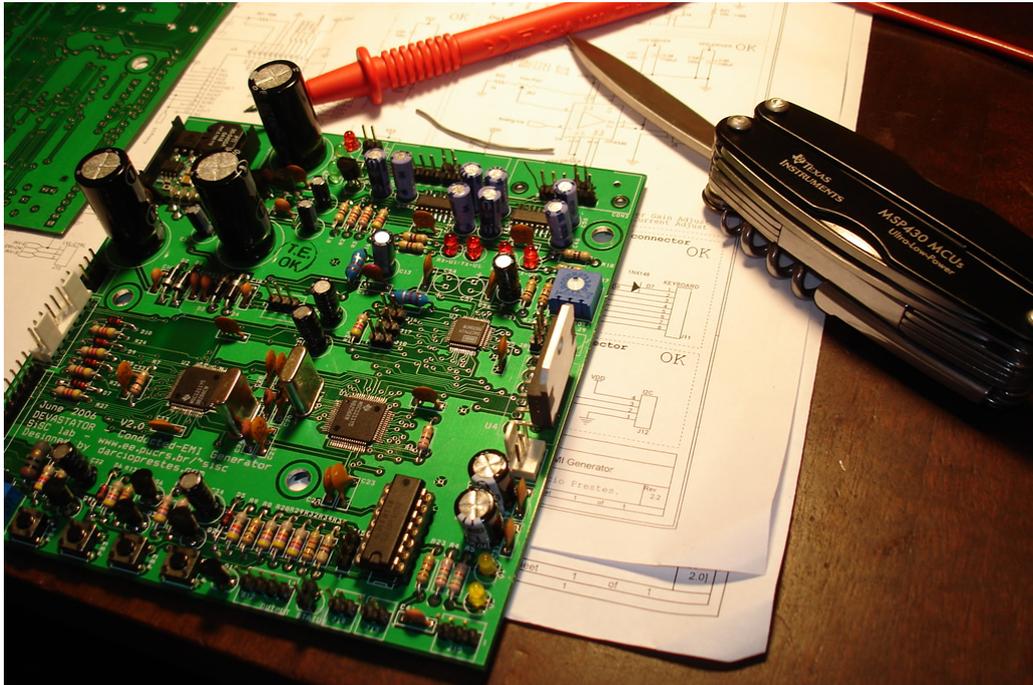
Fonte: O Autor (2010).

Figura 60: Vista traseira da plataforma



Fonte: O Autor (2010).

Figura 61: PCI montada



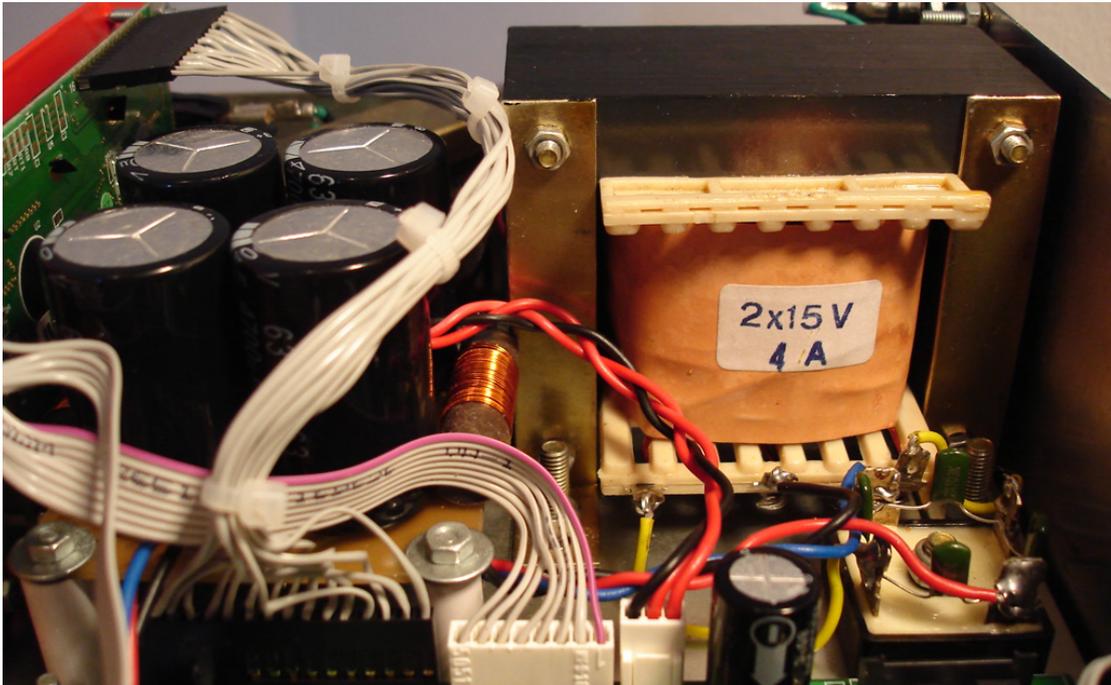
Fonte: O Autor (2010).

Figura 62: Vista interna geral

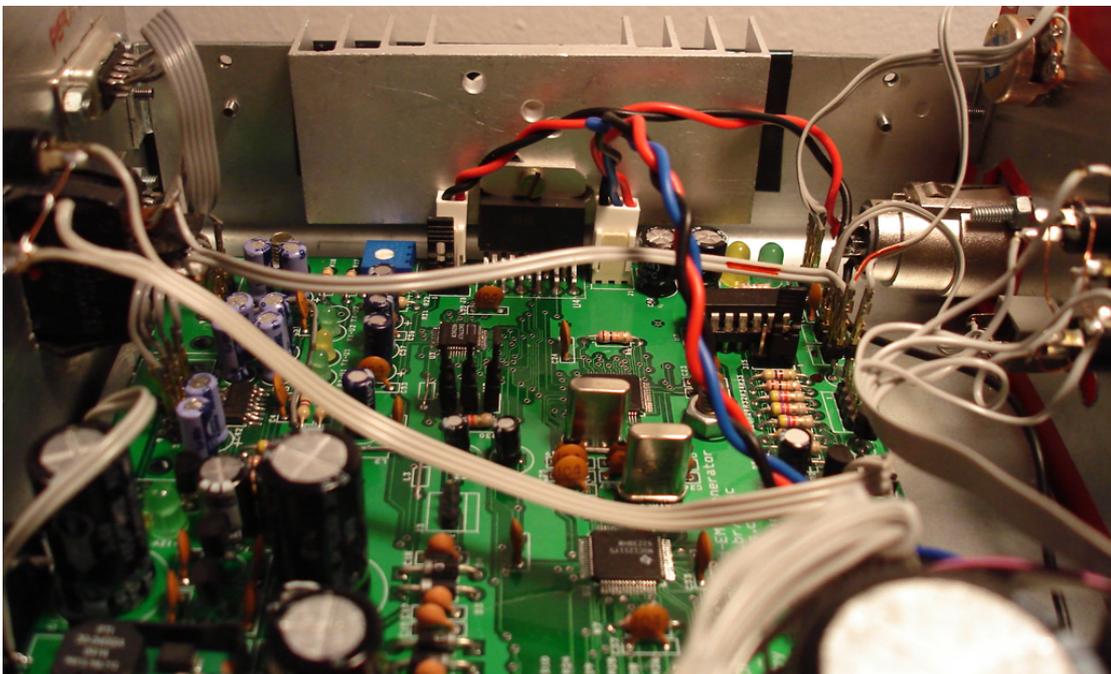


Fonte: O Autor (2010).

Figura 63: Fonte de potência

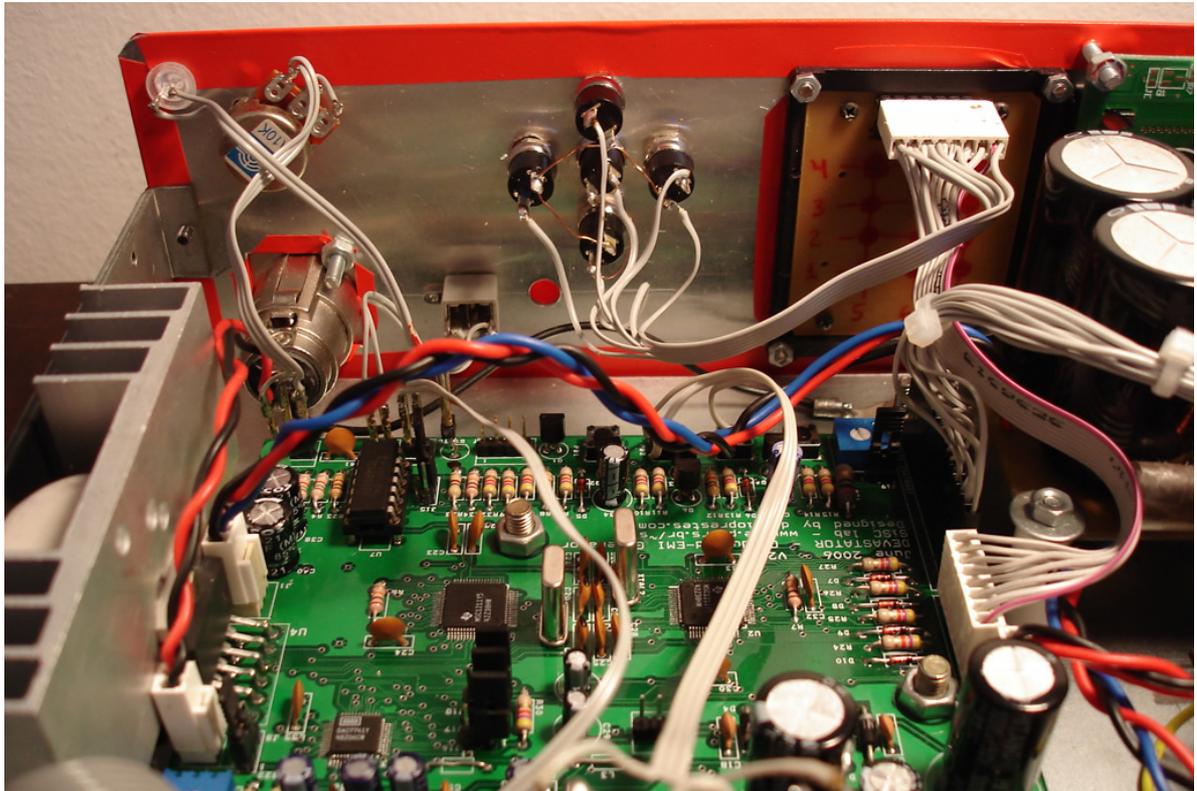


Fonte: O Autor (2010).

Figura 64: *Driver* de potência e dissipador de calor

Fonte: O Autor (2010).

Figura 65: Painel de controle



Fonte: O Autor (2010).